

PATENT COOPERATION TREATY

PCT

COMMUNICATION OF
INTERNATIONAL APPLICATIONS

(PCT Article 20)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
United States Patent and Trademark
Office
Box PCT
Washington, D.C. 20231
ÉTATS-UNIS D'AMÉRIQUE

in its capacity as designated Office

Date of mailing:

13 September 1999 (13.09.99)

The International Bureau transmits herewith copies of the international applications having the following international application numbers and international publication numbers:

International application no.:

PCT/JP99/01649

International publication no.:

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra
Telephone No.: (41-22) 338.83.38

PCT REQUEST

EPPC-1791

Draft (NOT for submission) - printed on 29.11.1999 06:11:14 PM

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.90 (updated 15.10.1999)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	EPPC-1791
I	Title of invention	MICROCOMPUTER, ELECTRONIC EQUIPMENT, AND DEBUGGING SYSTEM
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	Yoichi HIJIKATA
II-5	Address:	c/o Seiko Epson Corporation 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
II-8	Telephone No.	0266-52-3131
II-9	Facsimile No.	0266-58-3243
IV-1	Agent or common representative; or address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent
IV-1-1	Name (LAST, First)	INOUE, Hajime
IV-1-2	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan
IV-1-3	Telephone No.	03-5397-0891
IV-1-4	Facsimile No.	03-5397-0893
IV-2	Additional agent(s)	additional agent(s) with same address as first named agent
IV-2-1	Name(s)	FUSE, Yukio; OFUCHI, Michie

PCT REQUEST

EPPC-1791

Draft (NOT for submission) - printed on 29.11.1999 06:11:14 PM

V	Designation of States		
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	--	
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	US	
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.		
V-6	Exclusion(s) from precautionary designations	NONE	
VI-1	Priority claim of earlier national application		
VI-1-1	Filing date	31 March 1998 (31.03.1998)	
VI-1-2	Number	10-103720	
VI-1-3	Country	JP	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	3	-
VIII-2	Description	20	-
VIII-3	Claims	4	-
VIII-4	Abstract	1	-
VIII-5	Drawings	17	-
VIII-7	TOTAL	45	
	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract		
VIII-19	Language of filing of the international application	English	
IX	Signature of applicant or agent		
IX-1	Name (LAST, First)		
IX-2	Capacity		

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
-------------	--	--

PCT REQUEST

EPPC-1791

Draft (NOT for submission) - printed on 29.11.1999 06:11:14 PM

10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

特許協力条約に基づく国際出願願書

原本(出願用) - 印刷日時 1999年03月30日 (30.03.1999) 火曜日 11時03分15秒

0	受理官庁記入欄	PCT/JP99/01649
0-1	国際出願番号	
0-2	国際出願日	31.03.99
0-3	(受付印)	PCT International Application 日 本 国 特 許 庁
0-4	この特許協力条約に基づく国際出願願書(様式 - PCT/RO/101)は、右記によって作成された。	PCT-EASY Version 2.83 (updated 01.03.1999)
0-4-1		
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	EPPC-1791
I	発明の名称	マイクロコンピュータ、電子機器及びデバッグシステム
II	出願人	出願人及び発明者である (applicant and inventor)
II-1	この欄に記載した者は	すべての指定国 (all designated States)
II-2	右の指定国についての出願人である。	
II-4ja	氏名(姓名)	土方 陽一
II-4en	Name (LAST, First)	HIJIKATA, Yoichi
II-5ja	あて名:	392-8502 日本国 長野県 諏訪市 大和3丁目3番5号 セイコーエプソン株式会社内
II-5en	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-8	電話番号	0266-52-3131
II-9	ファクシミリ番号	0266-58-3243

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 1999年03月30日（30.03.1999）火曜日 11時03分15秒

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja IV-1-1en IV-1-2ja	氏名(姓名) Name (LAST, First) あて名:	井上 一 INOUE, Hajime 167-0051 日本国 東京都 杉並区 荻窪5丁目26番13号 荻窪TMビル2階
IV-1-2en	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan
IV-1-3	電話番号	03-5397-0891
IV-1-4	ファクシミリ番号	03-5397-0893
IV-1-5	電子メール	MXJ00663@nifty.ne.jp
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent)
IV-2-1ja IV-2-1en	氏名 Name(s)	布施 行夫; 大淵 美千栄 FUSE, Yukio; OFUCHI, Michie
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	--
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)
VI-1	先の国内出願に基づく優先権主張 先の出願日 先の出願番号 国名	1998年03月31日 (31.03.1998) 特願平10-103720 日本国 JP
VI-2	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 1999年03月30日（30.03.1999）火曜日 11時03分15秒

VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	3	-
VIII-2	明細書	20	-
VIII-3	請求の範囲	4	-
VIII-4	要約	1	eppc1791.txt
VIII-5	図面	17	-
VIII-7	合計	45	
	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-9	別個の記名押印された委任状	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	優先権書類送付請求書	-
VIII-17	その他	納付する手数料に相当する特許印紙を貼付した書面	-
VIII-17	その他	国際事務局の口座への振込を証明する書面	-
VIII-18	要約書とともに提示する図の番号	2A, 2B	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	31.03.99
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	16 APRIL 1999 (16.04.99)
------	-----------	--------------------------

明 細 書

マイクロコンピュータ、電子機器及びデバッグシステム

〔技術分野〕

本発明は、マイクロコンピュータ、マイクロコンピュータを含む電子機器、及びデバッグシステムに関する。

〔背景技術〕

近年、ゲーム装置、カーナビゲーションシステム、プリンタ、携帯情報端末などの電子機器に組み込まれ、高度な情報処理を実現できるマイクロコンピュータに対する需要が高まっている。このような組み込み型のマイクロコンピュータは、通常、ターゲットシステムと呼ばれるユーザボードに実装される。そして、このターゲットシステムを動作させるソフトウェアの開発を支援するためにICE（In-Circuit Emulator）と呼ばれるソフトウェア開発支援ツールが広く使用されている。

さて、このようなICEとしては、従来、図1Aに示すようなCPU置き換え型と呼ばれるICEが主流を占めていた。このCPU置き換え型ICEでは、デバッグ時にターゲットシステム300からマイクロコンピュータ302を取り外し、その代わりにデバッグツール304のプロープ306を接続する。そして、このデバッグツール304に、取り外したマイクロコンピュータ302の動作をエミュレートさせる。また、このデバッグツール304に、デバッグのために必要な種々の処理を行わせる。

しかしながら、このCPU置き換え型ICEには、プロープ306のピン数が多くなると共にプロープ306の線308が増えるという欠点があった。このため、マイクロコンピュータ302の高周波数動作をエミュレートすることが困難になる（例えば33MHz程度が限界）。またターゲットシステム300の設計も困難になる。更に、マイクロコンピュータ302を実装して動作させる実動作

時とデバッグツール 304 でマイクロコンピュータ 302 の動作をエミュレートするデバッグモード時とで、ターゲットシステム 300 の動作環境（信号のタイミング、負荷条件）が変化してしまう。またこの CPU 置き換え型 ICE には、マイクロコンピュータが異なれば、たとえそれが派生品であっても、設計が異なるデバッグツールや、ピン数やピンの位置が異なるプローブを使用しなければならないという問題もあった。

一方、このような CPU 置き換え型 ICE の欠点を解消するものとして、ICE と同じ機能を実現するためのデバッグ用のピンと機能を量産チップ上に実装するタイプの ICE が知られている。このようなデバッグ機能実装型 ICE においては、通常ユーザーモードとデバッグモードを有している。そしてユーザーモードにおいて、ユーザープログラムが実行され、デバッグモードにおいてはデバッグ用プログラムが実行される。

ユーザーモード及びデバッグモードを有するマイクロコンピュータにおいては、デバッグ時にユーザーモードでユーザープログラムの実行中にプログラムの暴走や無限ループにおちいることがある。このような場合、ユーザーモードからデバッグモードに強制的に移行させるための手段が必要となる。このため、強制ブレークの機能が設けられており、通常強制ブレークを実現するための専用の外部端子を設けている。

このように強制ブレークを実現するための外部入力端子を設けるとパッケージのピン数が増える。しかし、デバッグ時にのみ必要でエンドユーザーにとっては不要な端子はできるかぎり少ないほうが好ましい。

一方このようなデバッグ機能実装型 ICE においては 外部（チップ以外のハード等）との通信が不可欠である。しかし外部のデバッグツールと送受信はデバッグモード時のみに行われる。このためユーザーモード時にはこの送受信用端子は使用されない。

強制ブレークを入力するための端子やデバッグモード時にのみ使用する端子はエンドユーザーにとっては不要な物であるためより少ないほうが好ましい。

〔発明の開示〕

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、デバッグ用のピンと機能を量産チップ上に実装するタイプのＩＣＥにおいて、強制ブレークを入力するための端子及びデバッグモード時にのみ使用

する端子等のエンドユーザーにとっては不要な端子をより節約したマイクロコンピュータ、これを含む電子機器、及びデバッグシステムを提供することにある。

上記課題を解決するために本発明は、ユーザーモード及びデバッグモードを有するマイクロコンピュータであって、ユーザーモード及びデバッグモードが切り替え可能に形成され、それぞれのモードにおいて命令の実行処理を行う中央処理ユニットと、ユーザーモードでは使用されない端子を介して強制ブレークの入力がされると、前記中央処理ユニットをユーザーモードからデバッグモードに切り替える切り替え手段とを含むことを特徴とする。

ここにおいて強制ブレークとは、ユーザーモードからデバッグモードに強制的に移行させることをいう。

本発明によればユーザーモードでは使用されない端子、例えばデバッグモードでのみ使用される端子を用いて強制ブレークの入力を行う。従って強制ブレーク専用端子を設ける必要が無いため、マイクロコンピュータの端子の節約となり、ユーザーが使用可能な端子をより多く確保することができる。

また本発明は、前記マイクロコンピュータが、オンチップデバッグ機能を有し、オンチップデバッグを行うためのデバッグ情報を外部のデバッグツールと送受信するための通信ラインが接続されるデバッグ用端子を含み、前記デバッグ用端子を介して強制ブレークの入力がされることを特徴とする。

オンチップデバッグ機能を有するマイクロコンピュータでは通常外部（チップ以外のハード等）との通信が必要となる。しかし外部のデバッグツールと送受信はデバッグモード時のみに行われ、ユーザーモード時にはこのデバッグ用端子は使用されない。

一方強制ブレークの入力はユーザーモードからデバッグモードへ切り替えるための入力であるためユーザーモードでのみ発生する。

このようにデバッグ情報と強制ブレーク入力は異なるモードでしか発生しないため、同一の端子を共用してもそれぞれを判別可能で混同は生じない。

本発明によれば、オンチップデバッグに必要な端子と強制ブレークを入力するための端子を共用するため、ユーザーが使用可能な端子をより多く確保することができる。

また本発明は、前記マイクロコンピュータが、マイクロコンピュータの外部に設けられデバッグコマンドを少なくとも1つのプリミティブコマンドに変換するための処理を行う第2のモニタ手段との間でデータを送受信し、実行するプリミティブコマンドを前記第2のモニタ手段からの受信データに基づいて決定し、決定したプリミティブコマンドを実行するための処理を行う第1のモニタ手段とを含み、前記データを半2重の双方向通信で送受信を行うための1本の通信ラインが接続されるデバッグ用端子を含み、前記中央処理ユニットは、ユーザーモードにおいてはユーザープログラムの実行処理を行い、デバッグモードにおいて前記プリミティブコマンドの実行処理を行い、前記切り替え手段は、前記デバッグ用端子を介して強制ブレークの入力がされると、前記中央処理ユニットをユーザーモードからデバッグモードに切り替えることを特徴とする。

本発明によれば、マイクロコンピュータの外部に設けられた第2のモニタ手段が、ホストシステム等が発行したデバッグコマンドをプリミティブコマンドに変換（分解）するための処理を行う。そして、第1のモニタ手段は、この第2のモニタ手段からデータを受信し、この受信データに基づいて決定されたプリミティブコマンドを実行するための処理を行う。本発明によれば、第1のモニタ手段の処理を実行するためのモニタプログラムに、各デバッグコマンドを実行するための複雑なルーチンを持たせる必要がなくなる。したがって、モニタプログラムの命令コードサイズを格段に小さくできるようになり、小さなハードウェア規模でオンチップデバッグ機能を実現できるようになる。

またマイクロコンピュータのデバッグ用端子（ピン）数を減らすことが可能となり、マイクロコンピュータの低コスト化を図れるようになる。

また本発明は、外部のデバッグツールが接続されていない状態には強制ブレー

クの入力が行われる端子をハイ又はローのいずれかである第一のレベルに保持する手段を含み、前記中央処理ユニットは、リセット時に前記強制ブレークの入力が行われる端子が前記第一のレベルである場合にはユーザーモードで実行を開始し、リセット時に前記強制ブレークの入力が行われる端子が前記第一のレベルでない場合にはデバッグモードで実行を開始することを特徴とする。

本発明によれば、外部のデバッグツールが接続されていない場合にはプルアップ等によりハイ又はローのいずれかである示す第一のレベルに保持されている。従って前記デバッグ用端子を接続することにより、前記強制ブレークの入力が行われる端子が前記第一のレベルとは逆のレベルになるよう構成すると、リセット時に前記端子の状態でユーザーモードで開始すべきかデバッグモードで開始すべきか判断可能となる。

一方外部のデバッグツールが接続されている場合にはデバッグ中であるため、リセット時にはデバッグモードで実行を開始することが好ましい。またデバッグツールが接続されていない場合には、ユーザーが意識しなくても、ユーザーモードで実行を開始することが好ましい。

本発明によれば、前記デバッグ用端子がハイであるかローであるかを検出するという簡単な構成で、ユーザー側では意識することなくリセット時に適切なモードで実行を開始することができる。

また本発明の電子機器は、上記いずれかに記載のマイクロコンピュータと、前記マイクロコンピュータの処理対象となるデータの入力源と、前記マイクロコンピュータにより処理されたデータを出力するための出力装置とを含むことを特徴とする。

このようにすれば、電子機器を動作させるプログラムなどのデバッグ作業の効率化を図れるようになり、電子機器の開発期間の短縮化、低コスト化を図れるようになる。

また本発明は、マイクロコンピュータを含むターゲットシステムのためのデバッグシステムであって、ホストシステムが発行したデバッグコマンドを少なくとも1つのプリミティブコマンドに変換するための処理を行う第2のモニタ手段と、

前記第 2 のモニタ手段との間でデータを送受信し、実行するプリミティブコマンドを前記第 2 のモニタ手段からの受信データに基づいて決定し、決定したプリミティブコマンドを実行するための処理を行う第 1 のモニタ手段と、ユーザーモード及びデバッグモードが切り替え可能に形成され、ユーザーモードにおいて前記プリミティブコマンドの実行処理を行う中央処理ユニットと、前記中央処理ユニットを含むチップに設けられ、前記データを半 2 重の双方向通信を行うための 1 本の通信ラインが接続されるデバッグ用端子と、前記デバッグ用端子を介して強制ブレークの入力がされると、前記中央処理ユニットをユーザーモードからデバッグモードに切り替える切り替え手段とを含むことを特徴とする。

本発明によれば、第 1 のモニタ手段の処理を実行するためのモニタプログラムの命令コードサイズを格段に小さくできる。これにより、ユーザが自由に使用できるメモリ領域や端子数を増やすことが可能になる。また、ターゲットシステムを、実動作時の環境と同一の環境でデバッグできるデバッグシステムを提供できるようになる。

[図面の簡単な説明]

図 1 は、CPU 置き換え型の ICE の例を示す図である。

図 2 A、図 2 B は、本実施形態の特徴について説明するための図である。

図 3 は、強制ブレークの入力と S I O D 端子の状態の関係を表したタイミングチャート図である。

図 4 A、図 4 B は本実施の形態の第二の特徴について説明するための図である。

図 5 A、図 5 B は、S I O D 端子の状態とリセット時の開始モードを説明するための図である。

図 6 は、本実施の形態の第三の特徴について説明するための図である。

図 7 は、本実施形態のマイクロコンピュータ、デバッグシステムの構成例を示す機能ブロック図である。

図 8 は、デバッグモード時のメモリマップを示す図である。

図 9 A、図 9 B、図 9 C、図 9 D は、デバッグコマンドをプリミティブコマン

ドへ変換（分解）する処理について説明するための図である。

図 10 は、S I O の構成例を示す機能ブロック図である。

図 11 は、デバッグツールの構成例を示す機能ブロック図である。

図 12 A、図 12 B、図 12 C は、ミニモニタ部とメインモニタ部との間の通信手法について説明するための図である。

図 13 は、ユーザプログラム実行モードからデバッグモードへの移行について説明するための図である。

図 14 は、本実施形態の詳細な処理例を説明するためのフローチャートである。

図 15 は、本実施形態の詳細な処理例を説明するためのフローチャートである。

図 16 A、図 16 B、図 16 C は、種々の電子機器の内部ブロック図の例である。

図 17 A、図 17 B、図 17 C は、種々の電子機器の外観図の例である。

〔発明を実施するための最良の形態〕

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

1. 本実施形態の特徴

まず本実施形態の特徴について図 2 A、図 2 B を用いて説明する。図 2 A、図 2 B はいずれもユーザーモード及びデバッグモードを有するマイクロコンピュータ 10 とデバッグツール 14 が接続されている様子を示した図である。

マイクロコンピュータ 10 は CPU（中央処理ユニット）12 とオンチップデバッグ部 13、強制ブレーク制御部 15、クロック生成部 17 を含む。オンチップデバッグ部 13 はデバッグモード時にデバッグツール 14 とデバッグ情報の送受を行い、デバッグ用プログラムを実行して種々のデバッグ処理を行う。

また、マイクロコンピュータ 10 はデバッグ用端子として S I O D 16 と B C L K 18 を含んでいる。S I O D 16 はユーザーモード時には強制ブレークの入力信号を受け付け、デバッグモード時には調歩同期式の S I O で外部のデバッグツール 14 とデバッグ情報の送受信を行う。B C L K 18 はクロック生成部 17 により供給され、調歩同期式の同期クロックとして使用される。

ところで外部のデバッグツール 1 4 との送受信はデバッグモード時のみに行われ、ユーザーモード時にはこのデバッグ用端子は使用されない。一方強制ブレークの inputs はユーザーモードからデバッグモードへ切り替えるための inputs であるためユーザーモード時のみ発生する。

従って強制ブレーク制御部 1 5 は、ユーザーモード時に信号を受けた場合には強制ブレークの inputs があったものと判断し、CPU 1 2 をユーザーモードからデバッグモードに切り替える処理を行う（図 2 A 参照）。またデバッグモード時に信号を受けた場合にはデバッグ情報である判断し、当該デバッグ情報をオンチップデバッグ部 1 3 に出力する（図 2 B 参照）。

このようにデバッグ情報の送受信と強制ブレークの inputs は異なるモードでしか発生しないため、図 2 A、図 2 B に示すように同一の端子を共用してもそれぞれを判別可能で混同は生じない。

そこで本実施の形態では、S I O D 1 6 は、ユーザーモードでは図 2 A に示すように強制ブレークの inputs 信号を入力する端子として機能し、デバッグモードでは図 2 B に示すようにデバッグ情報の送受信を行うための端子として機能するよう構成されている。

このようにすることでデバッグ時に必要な端子数を節約し、ユーザーが使用可能な端子をより多く確保することができる。

図 3 は強制ブレークの inputs と S I O D 端子の状態の関係を表したタイミングチャート図である。

1 6 ' はデバッグツール 1 4 側の出力状態の S I O D を示し、1 6 はマイクロコンピュータ側の inputs 状態の S I O D を示している。デバッグツール側はユーザーモード中はハイレベルの信号を出力しており、外部からの強制ブレークの inputs によりローパルスが出力される（2 2 2）。マイクロコンピュータ側ではこのローパルスを受けて、ユーザーモードからデバッグモードに移行する（2 2 8）。

そしてデバッグツール 1 4 側は、一定期間ハイレベルの信号を出力（2 2 4）した後、調歩同期式でデバッグ情報の通信を開始する。

図 4 A、図 4 B は本実施の形態の第二の特徴について説明するための図である。

図 4 A に示すように、マイクロコンピュータ 10 がデバッグツール未接続時には、S I O D 端子はプルアップのためハイレベルになる。ところが図 4 B に示すようにデバッグツール 14 を接続することにより、S I O D 端子 16 を任意のレベル（ハイレベル又はローレベル）にすることができる。

本実施の形態では、デバッグツール 14 をマイクロコンピュータ 10 に接続することにより、S I O D 端子 16 がローレベルになるようデバッグツール 14 からローレベルの信号を出力している。

図 5 A、図 5 B は、S I O D 端子の状態とリセット時の開始モードを説明するための図である。

図 5 A に示すようにユーザー R E S E T の立ち上がり（230）で S I O D がハイレベルの場合には、マイクロコンピュータはユーザーモードで実行を開始する（232）。

図 5 B に示すようにユーザー R E S E T の立ち上がり（234）で S I O D がローレベルの場合にはマイクロコンピュータはデバッグモードで実行を開始する（236）。従って、マイクロコンピュータはデバッグモードに移行し（238）、デバッグツール側は、一定期間ハイレベルの信号を出力（240）した後、調歩同期式でデバッグ情報の通信を開始する（242）。

このように、ユーザーリセット時に S I O D がハイレベルであるかローレベルであるかを検出するという簡単な構成で、ユーザー側では意識することなくリセット時に適切なモードで実行を開始することができる。

次に本実施の形態の第 3 の特徴について説明する。図 2 A、図 2 B においてオンチップデバッグ部 13 が以下に説明するミニモニタ部 314 に相当する機能を有している場合に相当する。

図 6 に示すように、本実施形態では、マイクロコンピュータ 10 が、CPU（中央処理ユニット）12 及びミニモニタ部（第 1 のモニタ手段）314 を含む。また、マイクロコンピュータ 10 の外部にはメインモニタ部（第 2 のモニタ手段）316 が設けられている。ここでメインモニタ部 316 は、例えばホストシステムなどが発行したデバッグコマンドをプリミティブコマンドに変換（分解）す

るための処理を行う。また、ミニモニタ部 3 1 4 は、メインモニタ部 3 1 6 との間でデータを送受信する。そして、ミニモニタ部 3 1 4 は、実行するプリミティブコマンドを、メインモニタ部 3 1 6 からの受信データに基づいて決定し、プリミティブコマンドを実行するための処理を行う。

ここで、メインモニタ部 3 1 6 の変換処理の対象となるデバッグコマンドとしては、プログラムロード、GO、ステップ実行、メモリライト、メモリリード、内部レジスタライト、内部レジスタリード、ブレークポイント設定、ブレークポイント解除などのコマンドを考えることができる。メインモニタ部 3 1 6 は、これらの多様で複雑なデバッグコマンドを、例えば GO、ライト（デバッグモード時におけるメモリマップ上の所与のアドレスへのライト）、リード（メモリマップ上の所与のアドレスからのリード）などの、シンプルでプリミティブなコマンドに変換する処理を行う。このようにすることで、ミニモニタ部 3 1 4 の処理を行うミニモニタプログラムの命令コードサイズを格段に小さくすることができる。これにより、マイクロコンピュータ 10 のオンチップデバッグ機能を実現できるようになる。

通常デバッグ用のプログラムはプログラムロード、GO、ステップ実行などのデバッグコマンドの全ての処理ルーチンを有しているため、大きなメモリを必要としマイクロコンピュータに内蔵することは事実上困難であった。

しかし本実施形態では、ミニモニタ部 3 1 4 の処理を行うミニモニタプログラムは、GO、ライト、リードなどのシンプルなプリミティブコマンドの処理ルーチンのみを有し、命令コードサイズが非常に小さい（例えば 2 5 6 バイト）。したがって、ミニモニタプログラムをマイクロコンピュータ 10 に内蔵することが可能となり、オンチップデバッグ機能を実現できるようになる。また、ユーザが自由に使用できるメモリ領域が減少してしまうのを最小限から 0 に抑えることも可能になる。

2. 詳細な構成例

図 7 に本実施形態のマイクロコンピュータ及びデバッグシステムの詳細な構成例を示す。図 7 に示すように、マイクロコンピュータ 20 は、CPU 22、BC

U（バス制御ユニット）26、内部メモリ（ミニモニタROM42及びミニモニタRAM44以外の内部ROM及び内部RAM）28、クロック生成部30、ミニモニタ部40（第1のモニタ手段）、トレース部50を含む。

ここでCPU22は、種々の命令の実行処理を行うものであり、内部レジスタ24を含む。内部レジスタ24は、汎用レジスタであるR0～R15や、特殊レジスタであるSP（スタックポインタレジスタ）、AHR（積和結果データの上位レジスタ）、ALR（積和結果データの下位レジスタ）などを含む。なお、CPU22は、ユーザーモードとデバッグモードを有しており、ライン51を介して強制ブレーク制御部49からの強制ブレークの入力を受けるとユーザーモードからデバッグモードに切り替わるように構成されている。

BCU26はバスを制御するものである。例えば、CPU22に接続されるハーバードアーキテクチャのバス31や、内部メモリ28に接続されるバス32や、外部メモリ36に接続される外部バス33や、ミニモニタ部40、トレース部50などに接続される内部バス34の制御を行う。またクロック生成部30は、マイクロコンピュータ20内で使用される各種のクロックを生成するものである。クロック生成部30はBCLKを介して外部のデバッグツール60にもクロックを供給している。

ミニモニタ部40は、ミニモニタROM42、ミニモニタRAM44、制御レジスタ46、SIO48、強制ブレーク制御部49を含む。

ここで、ミニモニタROM42には、ミニモニタプログラムが格納される。本実施形態では、このミニモニタプログラムは、GO、リード、ライトなどのシンプルでプリミティブなコマンドの処理のみを行うようになっている。このため、ミニモニタROM42のメモリ容量を例えば256バイト程度に抑えることができ、オンチップデバッグ機能を持たせながらマイクロコンピュータ20を小規模化できるようになる。

ミニモニタRAM44には、デバッグモードへの移行時に（ユーザプログラムのブレーク発生時に）、CPU22の内部レジスタ24の内容が退避される。これにより、デバッグモードの終了後にユーザプログラムの実行を適正に再スター

トできるようになる。また内部レジスタの内容のリード等を、ミニモニタプログラムが持つプリミティブなリードコマンド等で実現できるようになる。

制御レジスタ 4 6 は、各種のデバッグ処理を制御するためのレジスタであり、ステップ実行イネーブルビット、ブレークイネーブルビット、ブレークアドレスビット、トレースイネーブルビットなどを有する。ミニモニタプログラムにより動作する CPU 2 2 が制御レジスタ 4 6 の各ビットにデータをライトしたり、各ビットのデータをリードすることで、各種のデバッグ処理が実現される。

S I O 4 8 は、マイクロコンピュータ 2 0 の外部に設けられたデバッグツール 6 0 との間で送受信するデバッグ用のデータの制御を行うものである。

強制ブレーク制御部 4 9 とデバッグツール 6 0 との間は、S I O D（データ送受信ライン）で接続されており、強制ブレークの入力及びデバッグ情報が送受信される。

強制ブレーク制御部 4 9 は、前記 S I O D を介してユーザーモード時に信号を受けた場合には強制ブレークの入力があったものと判断し、ライン 5 1 を介して CPU 1 2 をユーザーモードからデバッグモードに切り替えるための信号を送る処理を行う。また、デバッグモード時に信号を受けた場合にはデバッグ情報であると判断し、当該デバッグ情報を S I O 4 8 に出力する処理を行う。

トレース部 5 0 は、リアルタイムトレース機能を実現するためのものである。トレース部 5 0 とデバッグツール 6 0 との間は、CPU 2 2 の命令実行のステータスを表す 3 ビットの D S T [2 : 0] と、分岐先の P C（プログラムカウンタ）値を表す D P C O という 4 本のラインで接続されている。

デバッグツール 6 0 はメインモニタ部 6 2 を含み、パーソナルコンピュータ等により実現されるホストシステム 6 6 に接続される。ホストシステム 6 6 が、ユーザの操作により、プログラムロード、ステップ実行などのデバッグコマンドを発行すると、メインモニタ部 6 2 が、このデバッグコマンドをプリミティブコマンドに変換（分解）するための処理を行う。そして、メインモニタ部 6 2 が、プリミティブコマンドの実行を指示するデータをミニモニタ部 4 0 に送信すると、ミニモニタ部 4 0 が、指示されたプリミティブコマンドを実行するための処理を

行うことになる。

図 8 に、デバッグモード時のメモリマップの例を示す。図 8 の D 1、D 2、D 3 に示すように、デバッグモード時には、図 7 の制御レジスタ 4 6、ミニモニタ RAM 4 4、ミニモニタ ROM 4 2 のアドレスも、メモリマップ上に割り付けられる。

3. プリミティブコマンドへの変換

図 9 A、図 9 B、図 9 C、図 9 D に、各種のデバッグコマンドをプリミティブコマンドへ変換する処理について模式的に示す。

例えば図 9 A に示すように、(ADD..., SUB..., AND..., OR..., XOR..., LD.W...) という 12 バイトのプログラムを 8 0 0 1 0 h 番地にロードするというデバッグコマンドが発行されたとする。この場合、このプログラムロードコマンドは、ライト (8 0 0 1 0 h、ADD..., SUB)、ライト (8 0 0 1 4 h、AND..., OR...)、ライト (8 0 0 1 8 h、XOR..., LD.W...) という 3 つのプリミティブなライトコマンドに変換される。即ち、ミニモニタプログラムが、この 3 つのプリミティブなライトコマンドを実行することで、プログラムロードコマンドが実現されるようになる。

また図 9 B に示すようにステップ実行コマンドというデバッグコマンドが発行されたとする。すると、このステップ実行コマンドは、図 7 の制御レジスタ 4 6 のステップ実行イネーブルビットへのライトコマンド (図 8 の D 1 のアドレスへのライトコマンド) と GO コマンドに変換される。即ち、ミニモニタプログラムが、このプリミティブなライトコマンドと GO コマンドを実行することで、ステップ実行コマンドが実現されるようになる。

また図 9 C に示すように内部レジスタリードコマンドというデバッグコマンドが発行されたとする。すると、この内部レジスタリードコマンドは、メモリマップ上のミニモニタ RAM (内部レジスタの内容の退避先) からのリードコマンド (図 8 の D 2 のアドレスからのリードコマンド) に変換される。即ち、ミニモニタプログラムが、このプリミティブなリードコマンドを実行することで、内部レジスタリードコマンドが実現されるようになる。内部レジスタライトコマンド、

メモリリードコマンド、メモリライトコマンドも同様にして実現される。

また図 9 D に示すようにブレークポイント設定コマンドというデバッグコマンドが発行されたとする。すると、このブレークポイント設定コマンドは、制御レジスタ 4 6 のブレークイネーブルビット及びブレークアドレスビットへのライトコマンドに変換される。即ち、ミニモニタプログラムが、このプリミティブなライトコマンドを実行することで、ブレークポイント設定コマンドが実現されるようになる。

このように本実施形態では、複雑で多様なデバッグコマンドが、プリミティブでシンプルなりード、ライト、GO コマンドに変換される。そして、ミニモニタプログラムは、このプリミティブなりード、ライト、GO コマンドを実行するだけでよい。ため、ミニモニタプログラムの命令コードサイズは非常に小さくなる。この結果、ミニモニタ ROM 4 2 のメモリ容量も小さくでき、小さなハードウェア規模でオンチップデバッグ機能を実現できるようになる。

4. S I O の構成例

図 1 0 に S I O 4 8 の構成例を示す。S I O 4 8 は、送受信バッファ 7 0、シフトレジスタ 7 6、送受信切替部 7 8、クロック制御部 8 0 及び制御レジスタ 8 4 を含む。

ここで送受信バッファ 7 0 は、送信データ、受信データを一時的に蓄えるためのものであり、送信バッファ 7 2、受信バッファ 7 4 を有する。シフトレジスタ 7 6 は、送信バッファ 7 2 からの送信データをパラレルデータからシリアルデータに変換し送受信切替部 7 8 に出力する機能を有する。また送受信切替部 7 8 からの受信データをシリアルデータからパラレルデータに変換し受信バッファ 7 4 に出力する機能も有する。送受信切替部 7 8 は、データの送信と受信とを切り替えるためのものである。これにより、S I O D を使用した半 2 重のデータ送受信が可能になる。

クロック制御部 8 0 は、内蔵する分周回路 8 2 により B C L K を分周し、この分周により得られたサンプリングクロック S M C 1 をシフトレジスタ 7 6 に出力する。シフトレジスタ 7 6 は、この S M C 1 に基づき動作する。またこの B C L

Kはデバッグツール60に供給されるため、マイクロコンピュータ20とデバッグツール60により、BCLKが共有されるようになる。

分周回路82での分周比は制御レジスタ84により設定される。即ちCPU22により実行されるミニモニタプログラムが、所望の分周比を制御レジスタ84に書き込むことで、分周回路82での分周比が設定されることになる。

5. デバッグツールの構成例

図11にデバッグツール60の構成例を示す。

CPU90は、ROM108に格納されるプログラムを実行したり、デバッグツール60の全体の制御を行うものである。送受信切替部92は、データの送信と受信とを切り替えるためのものである。クロック制御部94は、CPU90のSCLK端子、アドレスアップカウンタ100、トレースメモリ104に供給するクロックを制御するものである。このクロック制御部94には、マイクロコンピュータ20(SIO48)からのBCLKが入力される。クロック制御部94は周波数検出回路95、分周回路96を含む。周波数検出回路95は、BCLKが属する周波数範囲を検出して、その結果を制御レジスタ98に出力する。また分周回路96での分周比は制御レジスタ98により制御される。即ちCPU90により実行されるメインモニタプログラム(メインモニタROM110に格納)が、制御レジスタ98からBCLKの周波数範囲を読み出す。そして、メインモニタプログラムは、この周波数範囲に応じた最適な分周比を決定し、この分周比を制御レジスタ98に書き込む。そして、分周回路96は、この分周比でBCLKを分周してSMC-2を生成し、CPU90のSCLK端子に出力する。

アドレスアップカウンタ100は、トレースメモリのアドレスをカウントアップするためのものである。セレクタ102は、ライン122(アドレスアップカウンタ100が出力するアドレス)とライン124(アドレスバス120からのアドレス)のいずれかを選択し、トレースメモリ104のアドレス端子にデータを出力する。またセレクタ106は、ライン126(図3のトレース部50の出力であるDST[2:0]、DPCO)とライン128(データバス118)のいずれかを選択し、トレースメモリ104のデータ端子にデータを出力したり、

データ端子からデータを取り出す。

ROM 108はメインモニタROM 110（図3のメインモニタ部62に相当）を含み、メインモニタROM 110には、メインモニタプログラムが格納される。このメインモニタプログラムは、図5A～図5Dで説明したように、デバッグコマンドをプリミティブコマンドに変換するための処理を行う。RAM 112は、CPU 90のワーク領域となるものである。

RS 232Cインターフェース114、パラレルインターフェース116は、図7のホストシステム66とのインターフェースとなるものであり、ホストシステム66からのデバッグコマンドはこれらのインターフェースを介してCPU 90に入力されることになる。クロック生成部118は、CPU 90を動作させるクロックなどを生成するものである。

6. データの送受信

さて、図12Aに示すように、ミニモニタ部40とメインモニタ部62の間でのデバッグデータの通信の手法としては、TXD（送信）とRXD（受信）のラインを別々に設け、全2重で通信する手法が考えられる。

しかしながら、このようにデバッグデータの通信のために2本のライン（端子）を使用してしまうと、その分だけマイクロコンピュータの端子数（ピン数）が増えてしまい、これはマイクロコンピュータの高コスト化を招く。

そこで本実施形態では、図12Bに示すように、ミニモニタ部40とメインモニタ部62との間に1本のTXD/RXDライン（双方向通信ライン）を設け、半2重の双方向通信を行う。なお本実施の形態では、このラインを強制ブ레이크を入力するためのSIODと共用している。このため、マイクロコンピュータの端子数の増加を最小限に抑えることができ、マイクロコンピュータの低コスト化を図れる。

そして更に本実施形態では、図12Cに示すように、スレーブとなるミニモニタ部40が、マスタとなるメインモニタ部62からデータを受信したことを条件に、その受信データに対応する処理を行い、その受信データに対応する応答データをメインモニタ部62に送信する。即ち、メインモニタ部62がデータ（コマ

ンド)をミニモニタ部40に送信すると、ウェイト状態となっていたミニモニタ部40がこれを受信し、その受信データに対応する処理を行う。そして、その受信データに対応するデータ(リプライ)をメインモニタ部62に送信する。その後、ミニモニタ部40は、メインモニタ部62からデータを受信するまでウェイト状態になる。即ちミニモニタ部40は、メインモニタ部62からデータを受信するまで動作を停止し、データを受信したことを条件に動作を開始する。このようにすることで、ミニモニタ部40とメインモニタ部62との間の通信ラインを1本にしながら、データを適正に送受信できるようになる。

7. ミニモニタ部の詳細な処理例

次にミニモニタ部の詳細な処理例について説明する。

図13に示すように、ユーザプログラムの実行中にブレークが発生すると、ミニモニタプログラムの処理がスタートし、ユーザプログラム実行モードからデバッグモードに移行する。そして、ミニモニタプログラムが所与のコマンド処理を行いリターン命令を実行すると、デバッグモードからユーザプログラム実行モードに戻る。

図14、図15に、デバッグモードでのミニモニタプログラムの処理を表すフローチャートを示す。

デバッグモードに移行すると、ミニモニタプログラムは、まず、図7のCPU22の内部レジスタ24の内容をモニタRAM44に退避する(ステップS1)。そして、ミニモニタプログラムが使用する制御レジスタ46の設定処理を行う(ステップS2)。

次に、デバッグツール60から受信した14バイトのデータを、受信バッファ74(図10参照)にライトする(ステップS3)。そして、受信バッファ74のデータの先頭の1バイト(コマンド識別データID)をチェックする(ステップS4)。

そして図13に示すように、IDがリードコマンドを示すものであった場合には、受信バッファ74からリードアドレスを取得する(ステップS5、S6)。そして、取得したリードアドレスからデータをリードし、送信バッファ72にラ

イトする（ステップS 7）。次に、送信バッファ7 2のデータをデバッグツール6 0に送信する（ステップS 8）。そして、図1 4のステップS 3に戻り、次の受信データを受信バッファ7 4にライトする。

I Dがライトコマンドを示すものであった場合には、受信バッファ7 4からライトアドレスを取得する（ステップS 9、S 10）。そして、受信バッファ7 4からライトデータを取得し、ステップS 10で取得したライトアドレスにライトする（ステップS 11）。

I Dが外部ルーチンジャンプコマンドを示すものであった場合には、受信バッファ7 4からルーチンアドレスを取得する（ステップS 12、S 13）。そして、外部ルーチンにジャンプ後、ミニモニタプログラムにリターンする（ステップS 14）。

I DがGOコマンドを示すものであった場合には、モニタRAM 4 4に退避したデータを内部レジスタ2 4にリストアする（ステップS 15、S 16）。そして、図1 3に示すようにユーザプログラムにリターンし、デバッグモードから抜ける（ステップS 17）。

一方、I Dがリード、ライト、外部ルーチンジャンプ、GOコマンドのいずれでもなかった場合には、処理が必要ないと判断する（ステップS 15、S 18）。そして送信バッファ7 2にダミーのデータをライトする（ステップS 19）。なお、図1 5では、データフィルコマンドの処理については省略している。

以上のようにして、デバッグコマンドを変換することで得られたプリミティブコマンドが、ミニモニタプログラムにより実行されることになる。

8. 電子機器

次に、以上の本実施形態のマイクロコンピュータを含む電子機器に関して説明する。

例えば図1 6 Aに電子機器の1つであるカーナビゲーションシステムの内部ブロック図を示し、図1 7 Aにその外観図を示す。カーナビゲーションシステムの操作はリモコン5 10を用いて行われ、GPSやジャイロからの情報に基づいて位置検出部5 20が車の位置を検出する。地図などの情報はCDROM 5 30（

情報記憶媒体)に格納されている。画像メモリ540は画像処理の際の作業領域になるメモリであり、生成された画像は画像出力部550を用いて運転者に表示される。マイクロコンピュータ500は、リモコン510、位置検出部520、CDROM530などのデータ入力源からデータを入力し、種々の処理を行い、処理後のデータを画像出力部550などの出力装置を用いて出力する。

図16Bに電子機器の1つであるゲーム装置の内部ブロック図を示し、図17Bにその外観図を示す。このゲーム装置では、ゲームコントローラ560からのプレーヤの操作情報、CDROM570からのゲームプログラム、ICカード580からのプレーヤ情報等に基づいて、画像メモリ590を作業領域としてゲーム画像やゲーム音を生成し、画像出力部610、音出力部600を用いて出力する。

図16Cに電子機器の1つであるプリンタの内部ブロック図を示し、図17Cにその外観図を示す。このプリンタでは、操作パネル620からの操作情報、コードメモリ630及びフォントメモリ640から文字情報に基づいて、ビットマップメモリ650を作業領域として、印刷画像を生成し、プリント出力部660を用いて出力する。またプリンタの状態やモードを表示パネル670を用いてユーザに伝える。

本実施形態のマイクロコンピュータ又はデバッグシステムによれば、図16A～図17Cの電子機器を動作させるユーザプログラムの開発の容易化、開発期間の短縮化を図れるようになる。またマイクロコンピュータが実動作する環境と同じ環境で、ユーザプログラムのデバッグ作業を行うことができるため、電子機器の信頼性を高めることができる。また電子機器に組み込まれるマイクロコンピュータのハードウェアを小規模化、低コスト化できるため、電子機器の低コスト化も図れるようになる。更にミニモニタプログラムの命令コードサイズは小さいため、ユーザがプログラムや各種データの格納に使用するメモリ領域を全く使用しないことが可能になる。

なお本実施形態のマイクロコンピュータを適用できる電子機器としては、上記以外にも例えば、携帯電話(セルラーフォン)、PHS、ページャ、オーディオ

機器、電子手帳、電子卓上計算機、POS端末、タッチパネルを備えた装置、プロジェクタ、ワードプロセッサ、パーソナルコンピュータ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダなど種々のものを考えることができる。

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

請 求 の 範 囲

1. ユーザーモード及びデバッグモードを有するマイクロコンピュータであって、

ユーザーモード及びデバッグモードが切り替え可能に形成され、それぞれのモードにおいて命令の実行処理を行う中央処理ユニットと、

ユーザーモードでは使用されない端子を介して強制ブレークの入力がされると、前記中央処理ユニットをユーザーモードからデバッグモードに切り替える切り替え手段とを含むことを特徴とするマイクロコンピュータ。

2. 請求項 1 において、

前記マイクロコンピュータが、

オンチップデバッグ機能を有し、オンチップデバッグを行うためのデバッグ情報を外部のデバッグツールと送受信するための通信ラインが接続されるデバッグ用端子を含み、

前記デバッグ用端子を介して強制ブレークの入力がされることを特徴とするマイクロコンピュータ。

3. 請求項 2 において、

前記マイクロコンピュータは、

マイクロコンピュータの外部に設けられデバッグコマンドを少なくとも 1 つのプリミティブコマンドに変換するための処理を行う第 2 のモニタ手段との間でデータを送受信し、実行するプリミティブコマンドを前記第 2 のモニタ手段からの受信データに基づいて決定し、決定したプリミティブコマンドを実行するための処理を行う第 1 のモニタ手段とを含み、

前記デバッグ用端子には、前記データを半 2 重の双方向通信で送受信を行うための 1 本の通信ラインが接続され、

前記中央処理ユニットは、

ユーザーモードにおいてはユーザープログラムの実行処理を行い、

デバッグモードにおいて前記プリミティブコマンドの実行処理を行い、

前記切り替え手段は、

前記デバッグ用端子を介して強制ブレークの入力がされると、前記中央処理ユニットをユーザーモードからデバッグモードに切り替えることを特徴とするマイクロコンピュータ。

4. 請求項 1 において、

外部のデバッグツールが接続されていない状態には強制ブレークの入力が行われる端子をハイ又はローのいずれかである第一のレベルに保持する手段を含み、
前記中央処理ユニットは、

リセット時に前記強制ブレークの入力が行われる端子が前記第一のレベルである場合にはユーザーモードで実行を開始し、リセット時に前記強制ブレークの入力が行われる端子が前記第一のレベルでない場合にはデバッグモードで実行を開始することを特徴とするマイクロコンピュータ。

5. 請求項 2 において、

外部のデバッグツールが接続されていない状態には強制ブレークの入力が行われる端子をハイ又はローのいずれかである第一のレベルに保持する手段を含み、
前記中央処理ユニットは、

リセット時に前記強制ブレークの入力が行われる端子が前記第一のレベルである場合にはユーザーモードで実行を開始し、リセット時に前記強制ブレークの入力が行われる端子が前記第一のレベルでない場合にはデバッグモードで実行を開始することを特徴とするマイクロコンピュータ。

6. 請求項 3 において、

外部のデバッグツールが接続されていない状態には強制ブレークの入力が行われる端子をハイ又はローのいずれかである第一のレベルに保持する手段を含み、
前記中央処理ユニットは、

リセット時に前記強制ブレークの入力が行われる端子が前記第一のレベルである場合にはユーザーモードで実行を開始し、リセット時に前記強制ブレークの入力が行われる端子が前記第一のレベルでない場合にはデバッグモードで実行を開始することを特徴とするマイクロコンピュータ。

7. 請求項 1 のマイクロコンピュータと、

前記マイクロコンピュータの処理対象となるデータの入力源と、
前記マイクロコンピュータにより処理されたデータを出力するための出力装置
とを含むことを特徴とする電子機器。

8. 請求項2のマイクロコンピュータと、

前記マイクロコンピュータの処理対象となるデータの入力源と、
前記マイクロコンピュータにより処理されたデータを出力するための出力装置
とを含むことを特徴とする電子機器。

9. 請求項3のマイクロコンピュータと、

前記マイクロコンピュータの処理対象となるデータの入力源と、
前記マイクロコンピュータにより処理されたデータを出力するための出力装置
とを含むことを特徴とする電子機器。

10. 請求項4のマイクロコンピュータと、

前記マイクロコンピュータの処理対象となるデータの入力源と、
前記マイクロコンピュータにより処理されたデータを出力するための出力装置
とを含むことを特徴とする電子機器。

11. 請求項5のマイクロコンピュータと、

前記マイクロコンピュータの処理対象となるデータの入力源と、
前記マイクロコンピュータにより処理されたデータを出力するための出力装置
とを含むことを特徴とする電子機器。

12. 請求項6のマイクロコンピュータと、

前記マイクロコンピュータの処理対象となるデータの入力源と、
前記マイクロコンピュータにより処理されたデータを出力するための出力装置
とを含むことを特徴とする電子機器。

13. マイクロコンピュータを含むターゲットシステムのためのデバッグシステムであって、

ホストシステムが発行したデバッグコマンドを少なくとも1つのプリミティブ
コマンドに変換するための処理を行う第2のモニタ手段と、

前記第2のモニタ手段との間でデータを送受信し、実行するプリミティブコマ

ンドを前記第 2 のモニタ手段からの受信データに基づいて決定し、決定したプリミティブコマンドを実行するための処理を行う第 1 のモニタ手段と、

ユーザーモード及びデバッグモードが切り替え可能に形成され、ユーザーモードにおいて前記プリミティブコマンドの実行処理を行う中央処理ユニットと、

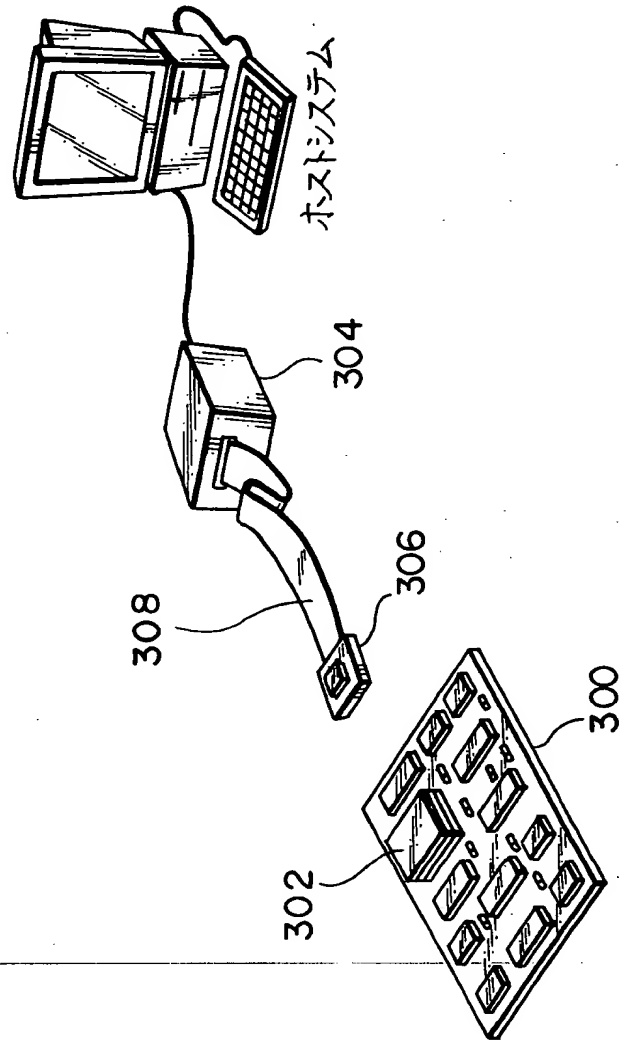
前記中央処理ユニットを含むチップに設けられ、前記データを半 2 重の双方向通信を行うための 1 本の通信ラインが接続されるデバッグ用端子と、

前記デバッグ用端子を介して強制ブレークの入力がされると、前記中央処理ユニットをユーザーモードからデバッグモードに切り替える切り替え手段とを含むことを特徴とするデバッグシステム。

要 約 書

量産チップ上で強制ブレークを入力するための端子等のデバッグ時のみ必要な端子をより少なくしたマイクロコンピュータ、これを含む電子機器、及びデバッグシステムである。ユーザーモード及びデバッグモードを有するマイクロコンピュータ（10）において。S I O D（16）は、ユーザーモード時は強制ブレークの入力信号を入力する端子として機能し、デバッグモード時はデバッグ情報の送受信を行うための端子として機能する。また、外部のデバッグツール（14）が接続されていない場合にはS I O D（16）をプルアップしてハイレベルに保持し、デバッグツール（14）に接続することにより任意のレベル（ハイレベル又はローレベル）にできるように構成する。そしてS I O D（16）がハイレベルであるかローレベルであるかに基づきリセット時の実行モードを決定する。

FIG. 1



2 / 17

FIG. 2A
ユーザーモード

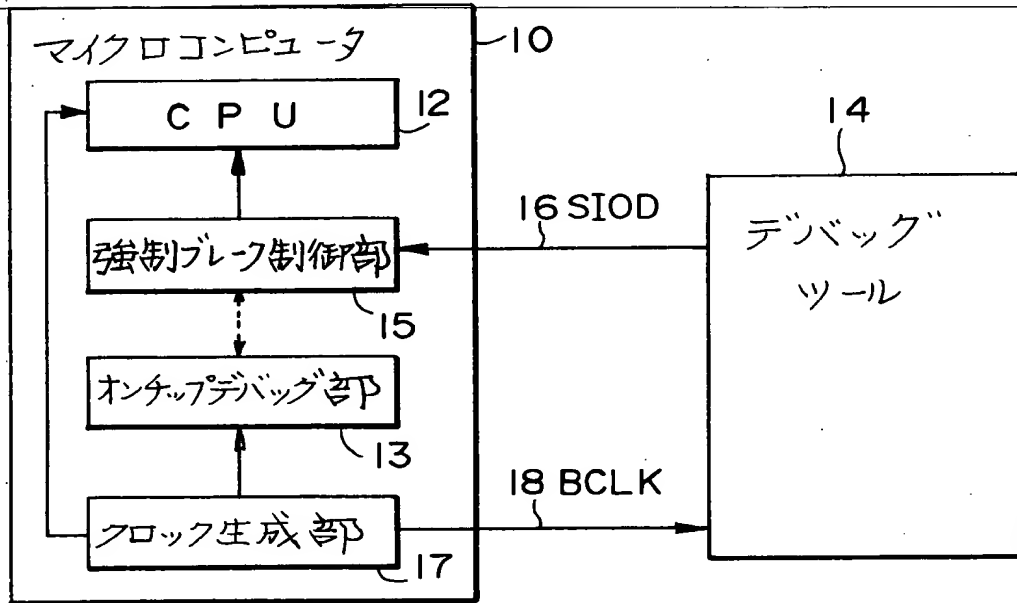


FIG. 2B
デバッグモード

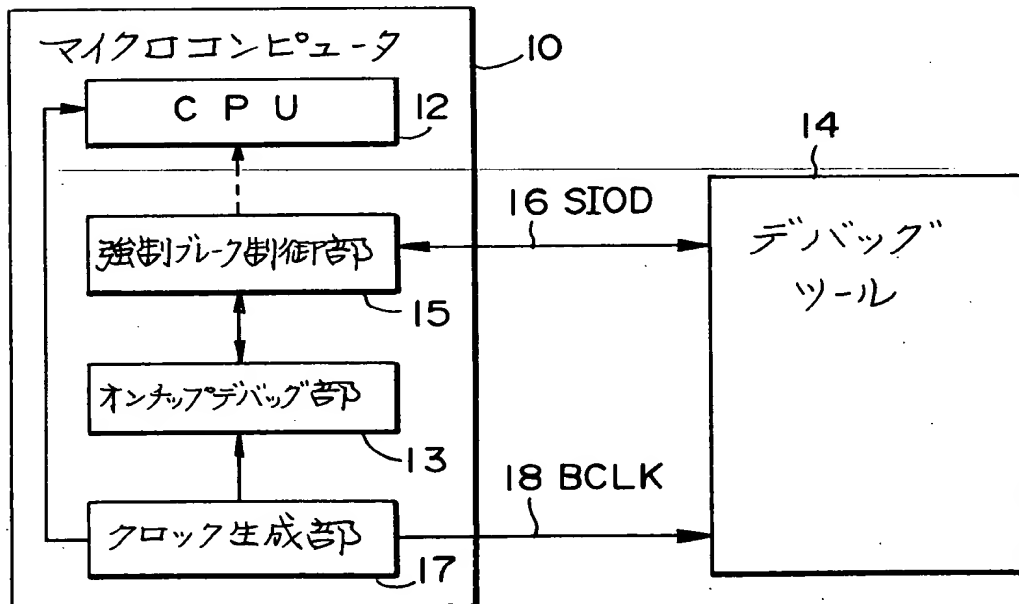
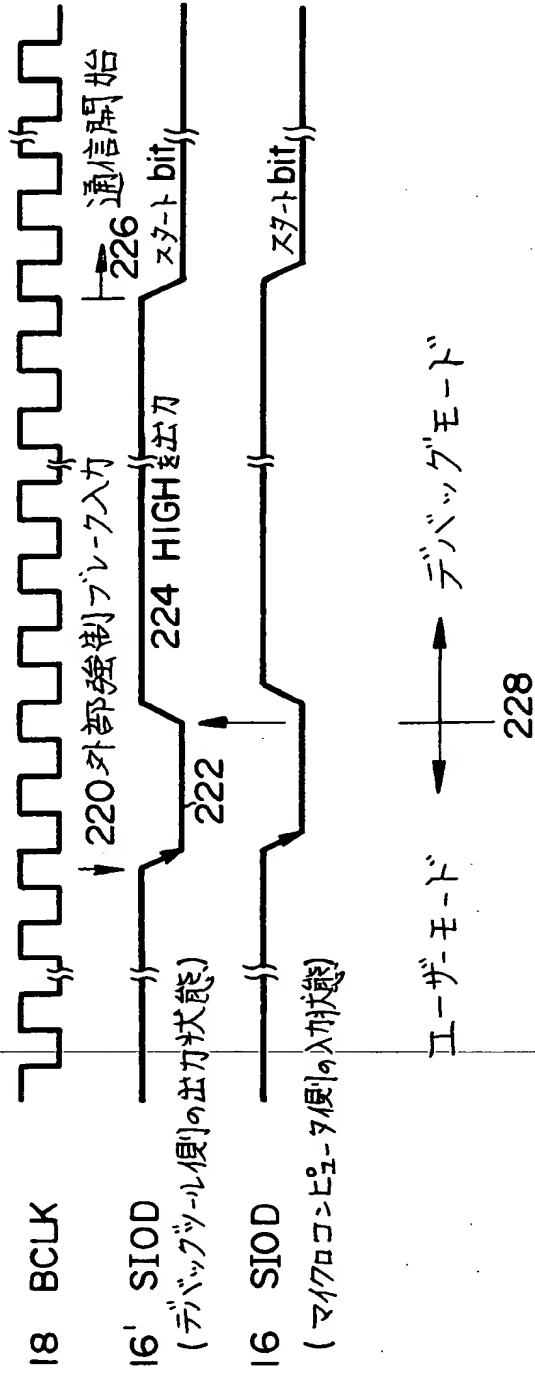


FIG. 3



4 / 17

FIG. 4A
デバッグツール未接続時

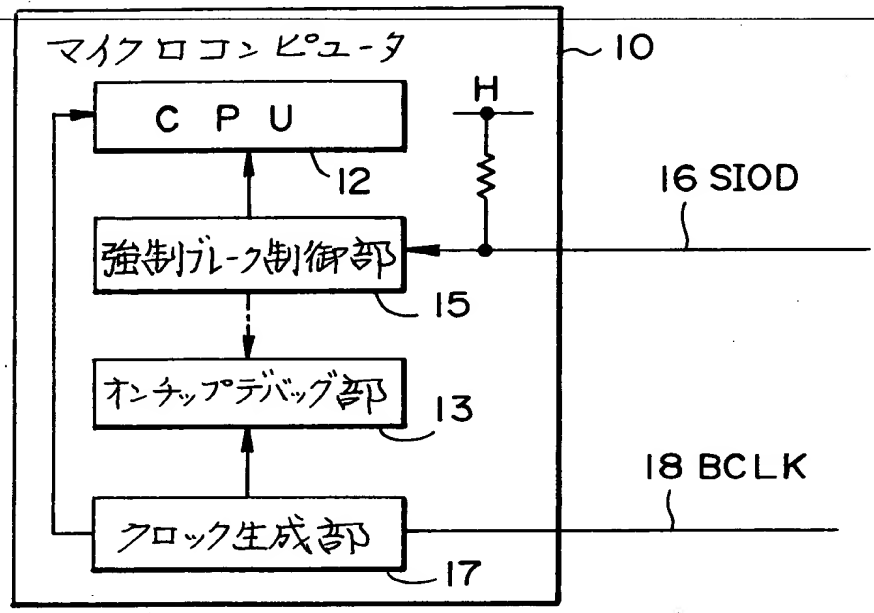


FIG. 4B
デバッグツール接続時

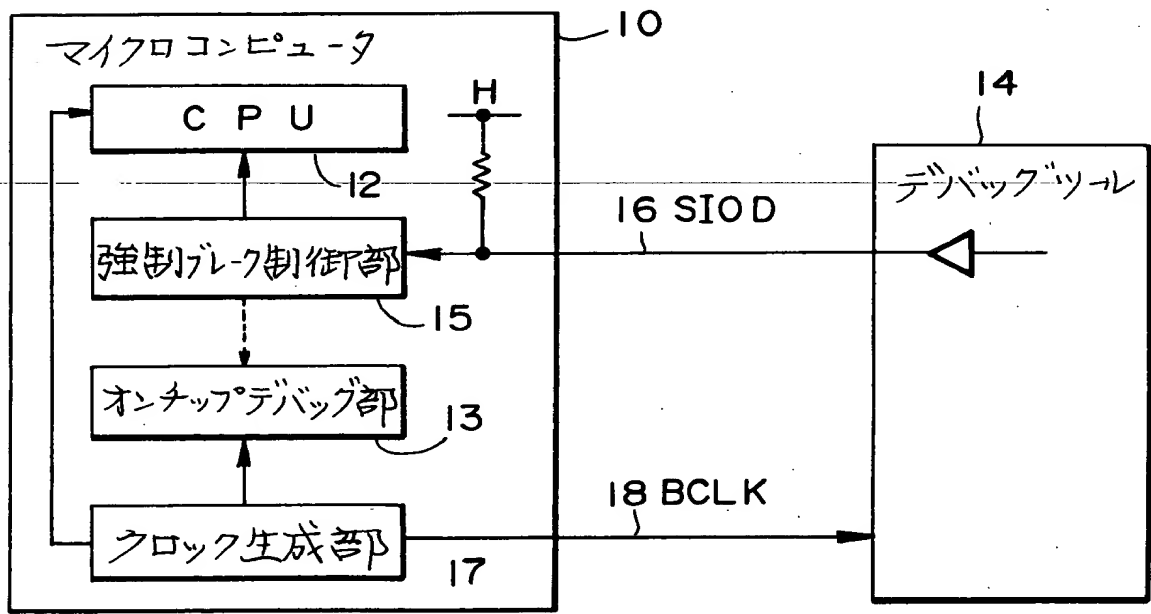


FIG. 5A

デバッグツール未接続時

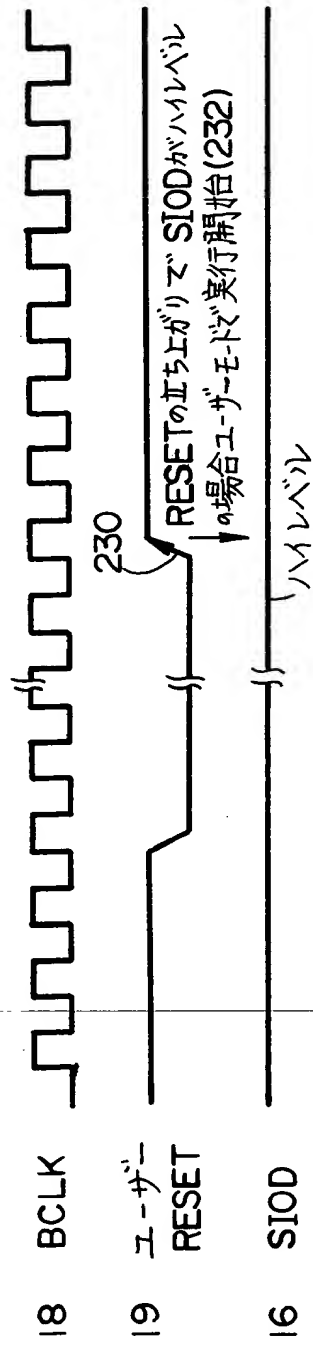
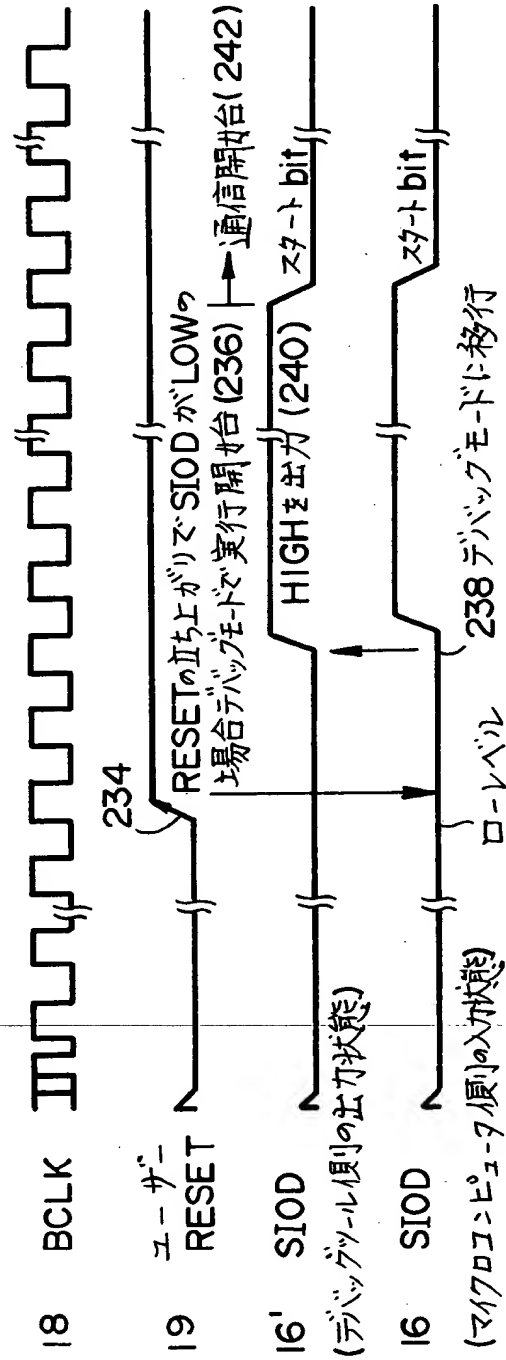


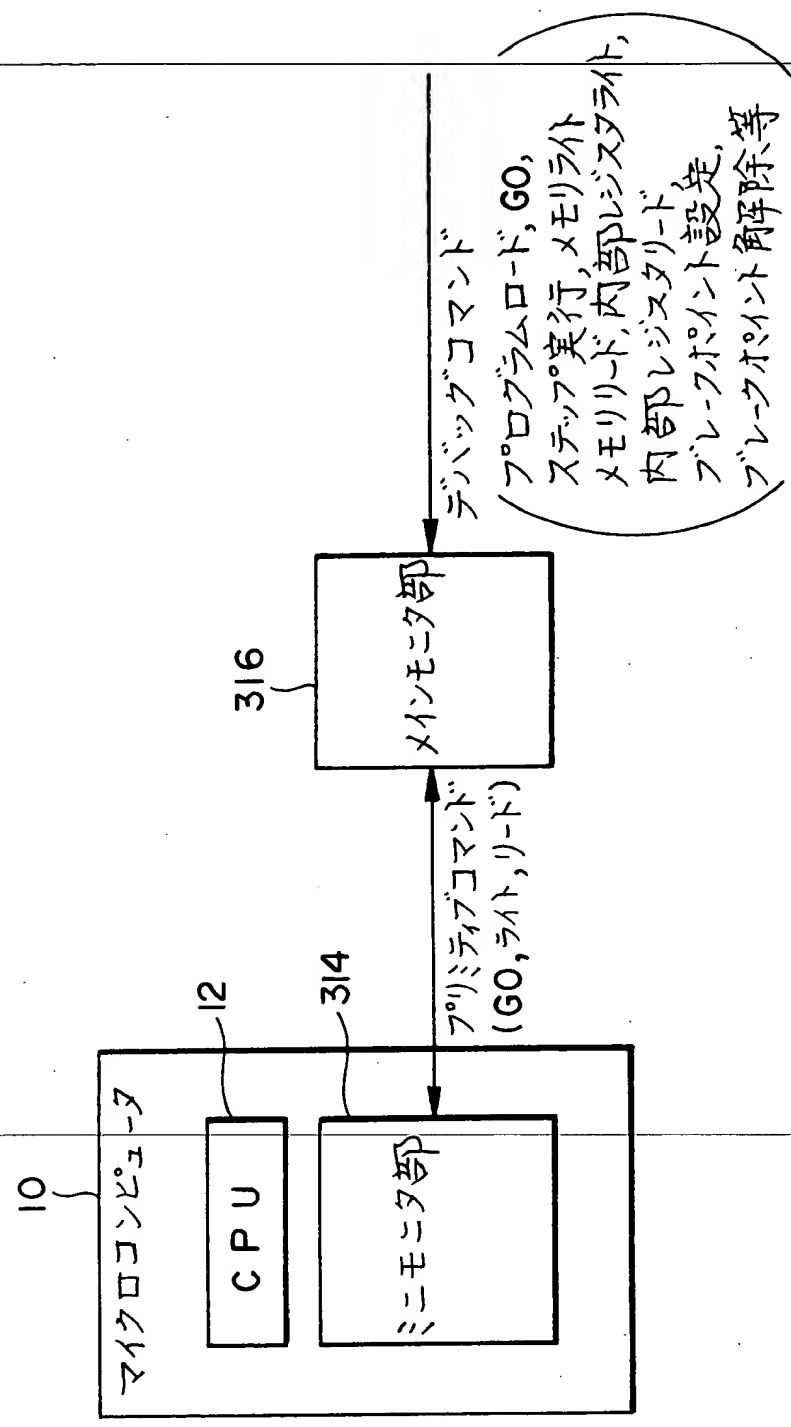
FIG. 5B

デバッグツール接続時



Pat. App. 01849

FIG. 6



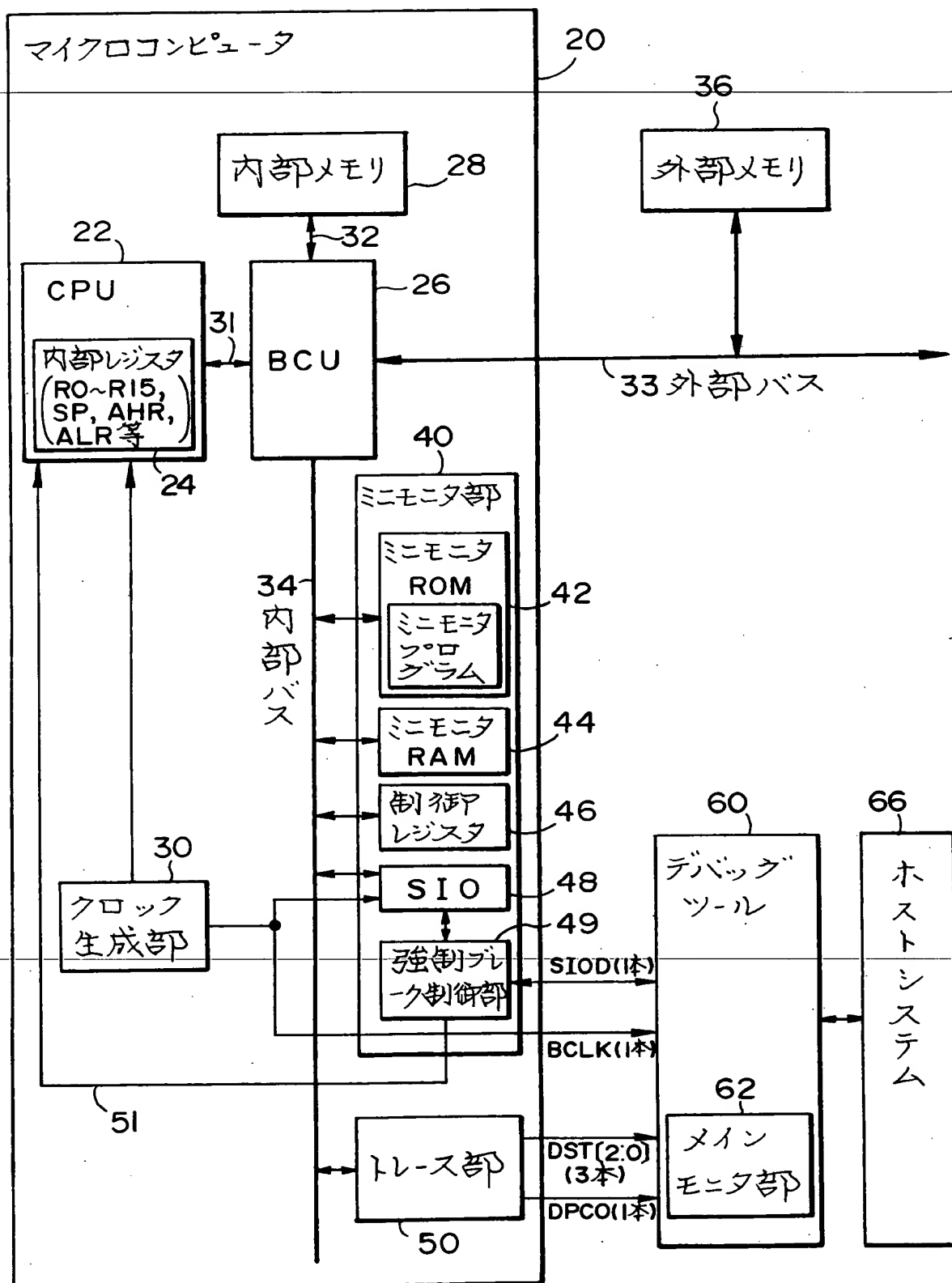


FIG. 8

デバッグモード時のメモリマップ

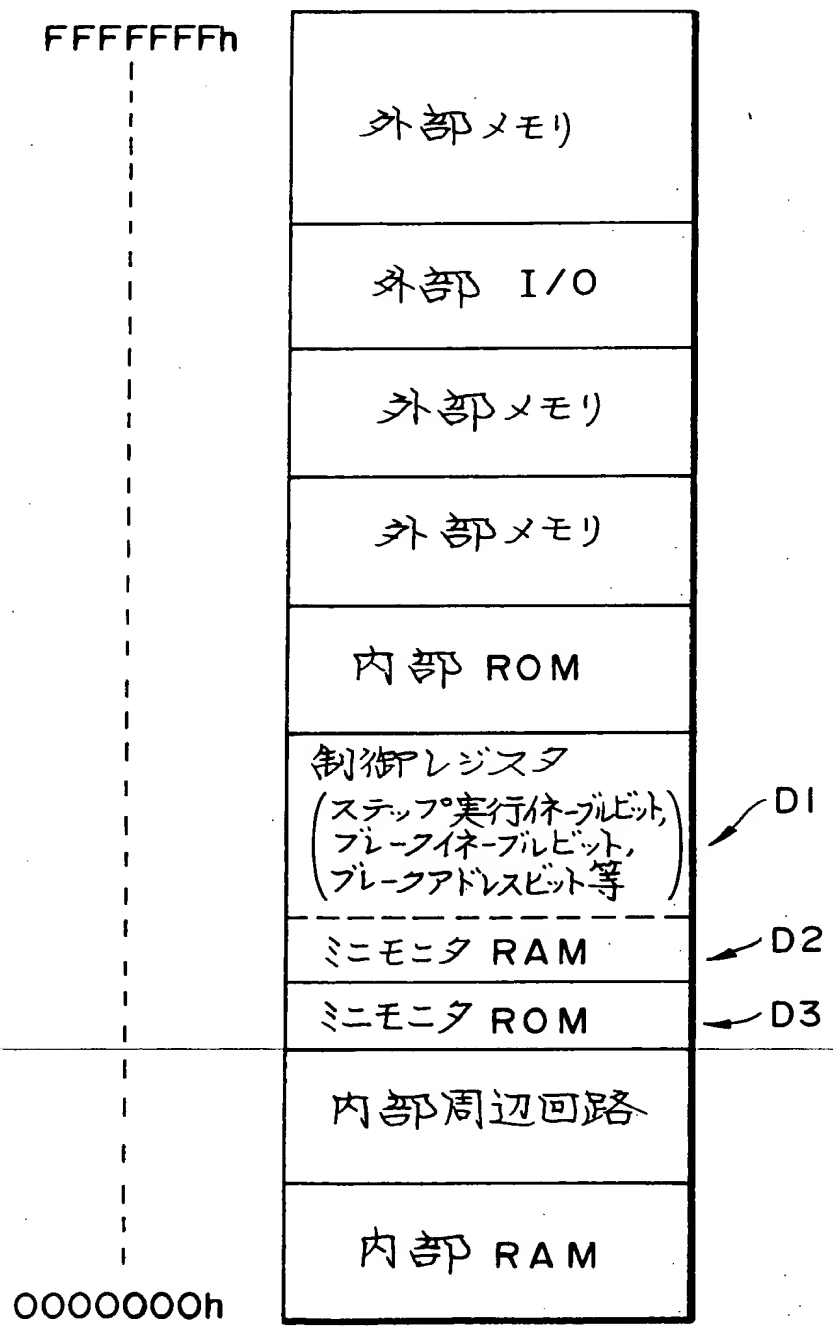


FIG. 9A

プログラムロード

$$\left(\begin{array}{l} \text{80010h, 12バイト, ADD---, SUB---} \\ \text{AND---, OR---, XOR---, LD.W---} \end{array} \right) \Rightarrow \begin{array}{l} \text{ライト (80010h, ADD---, SUB---)} \\ \text{+ライト (80014h, ADD---, OR---)} \\ \text{+ライト (80018h, XOR---, LD.W---)} \end{array}$$

FIG. 9B

ステップ実行

$$\Rightarrow \begin{array}{l} \text{制御レジスタのステップ実行イネーブル} \\ \text{ビットへのライト} \\ \text{+GO} \end{array}$$

FIG. 9C

内部レジスタリード

$$\Rightarrow \text{メモリマップ上のモニタRAMへのリード}$$

FIG. 9D

ブレークポイント設定

$$\Rightarrow \begin{array}{l} \text{制御レジスタのブレークイネーブルビット} \\ \text{及びブレークアドレスビットへのライト} \end{array}$$

FIG. 10

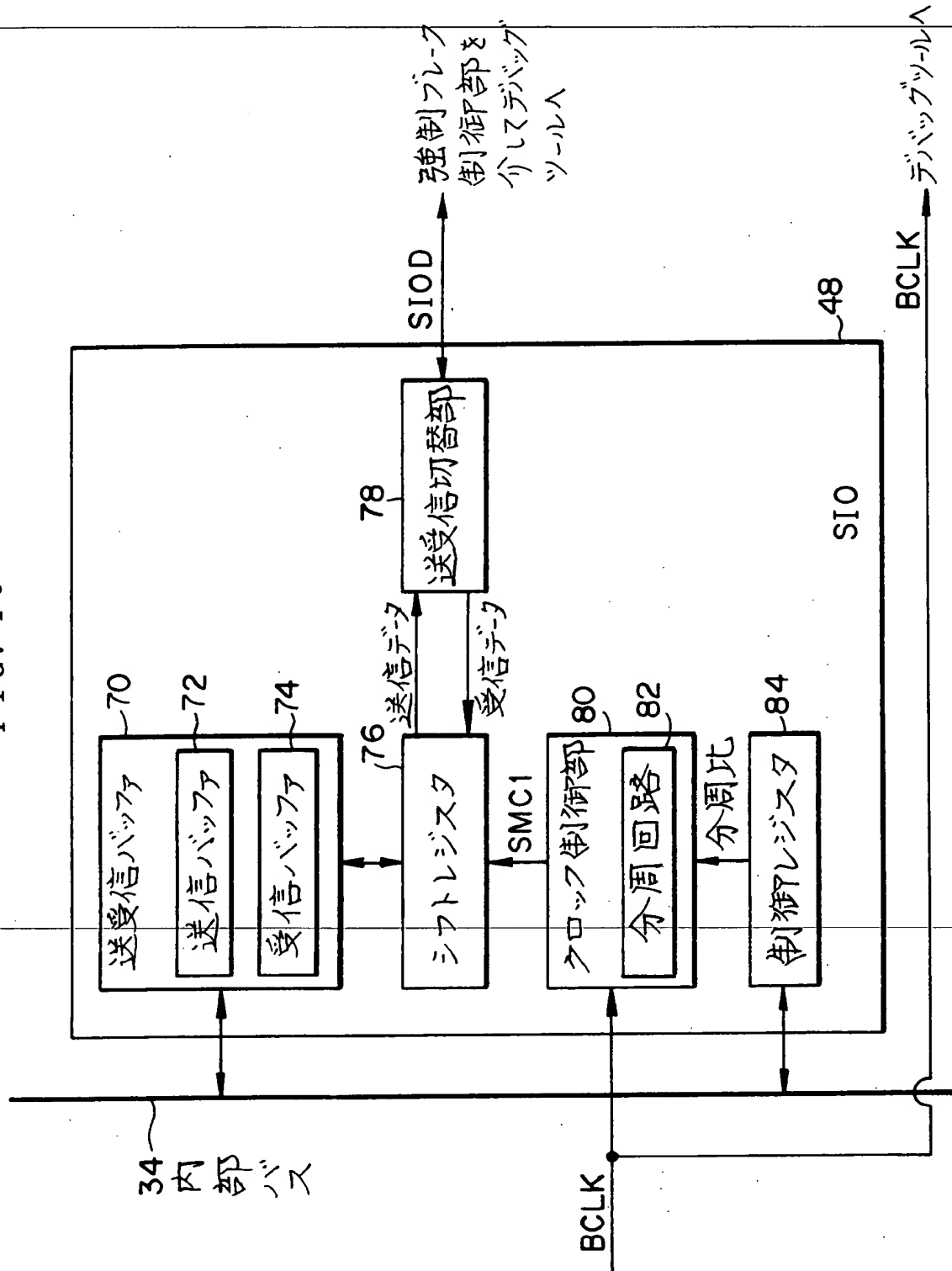


FIG. 11

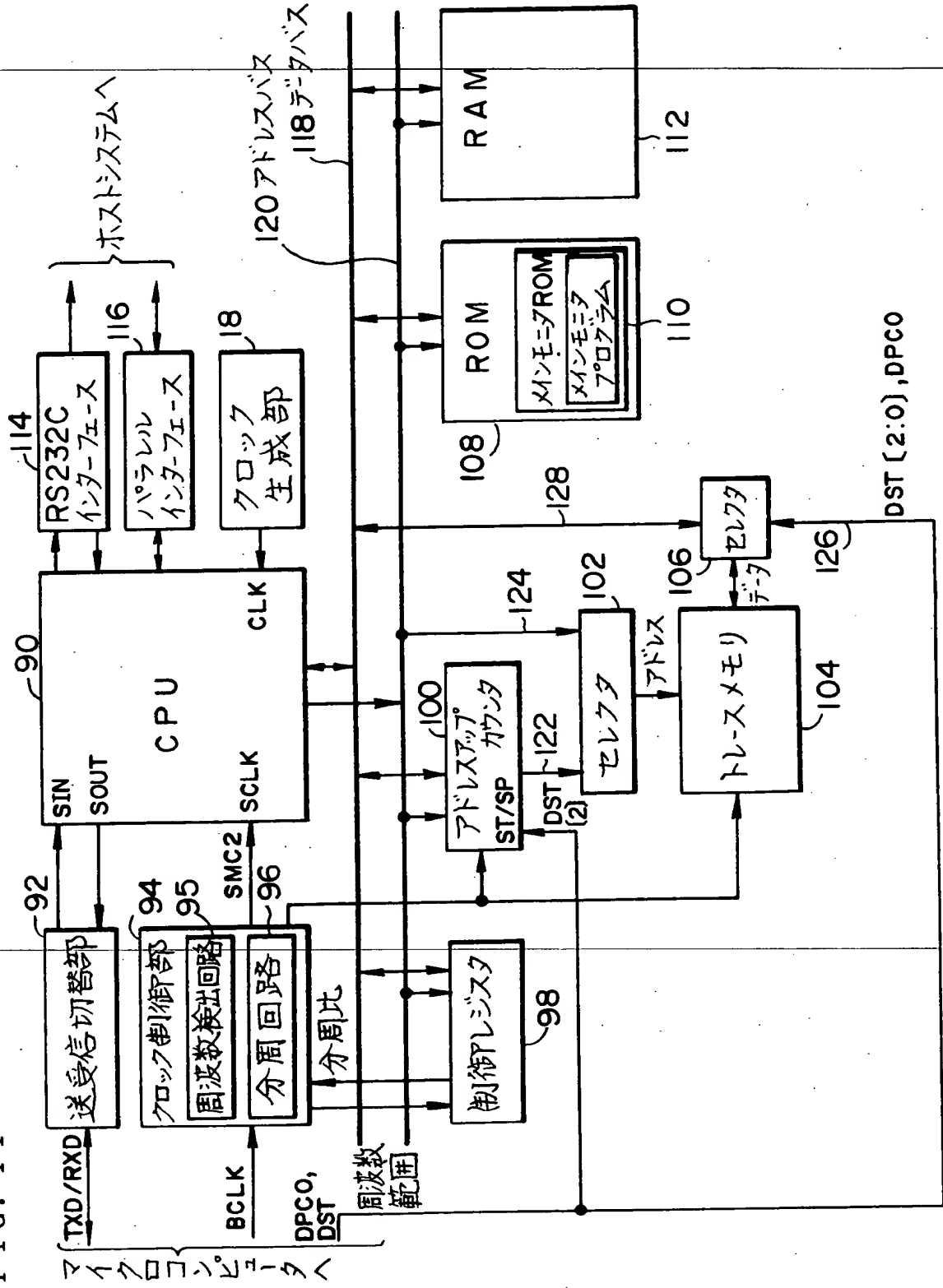


FIG. 12A

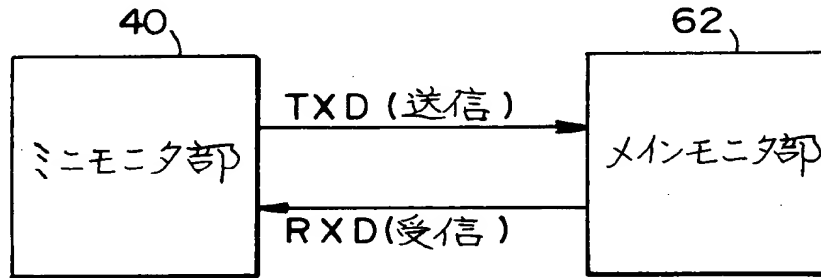


FIG. 12B

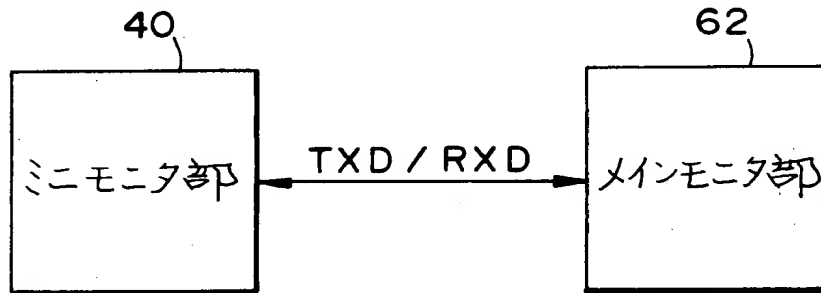


FIG. 12C

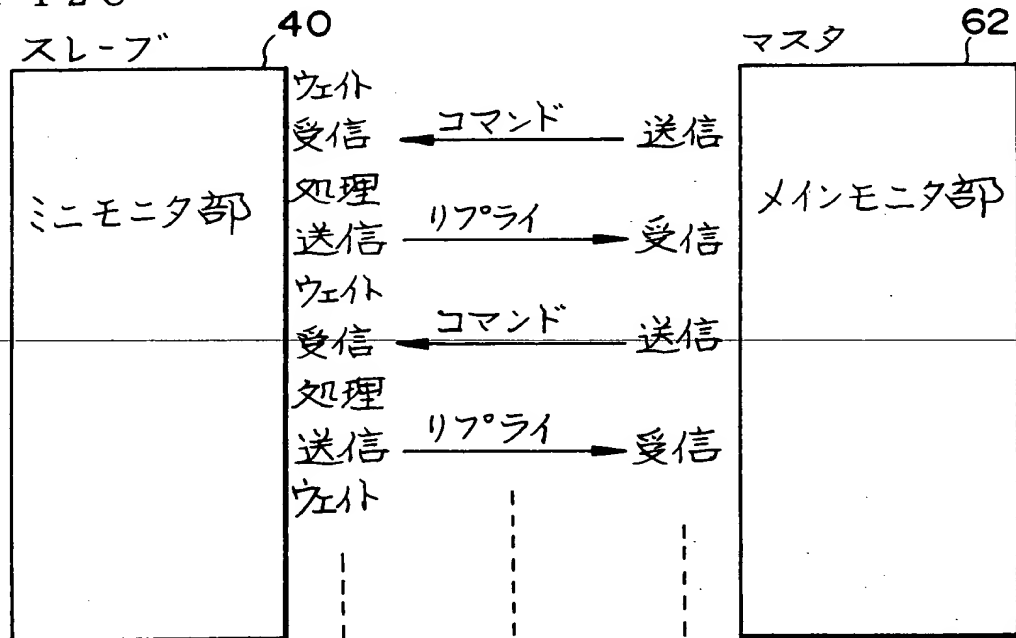
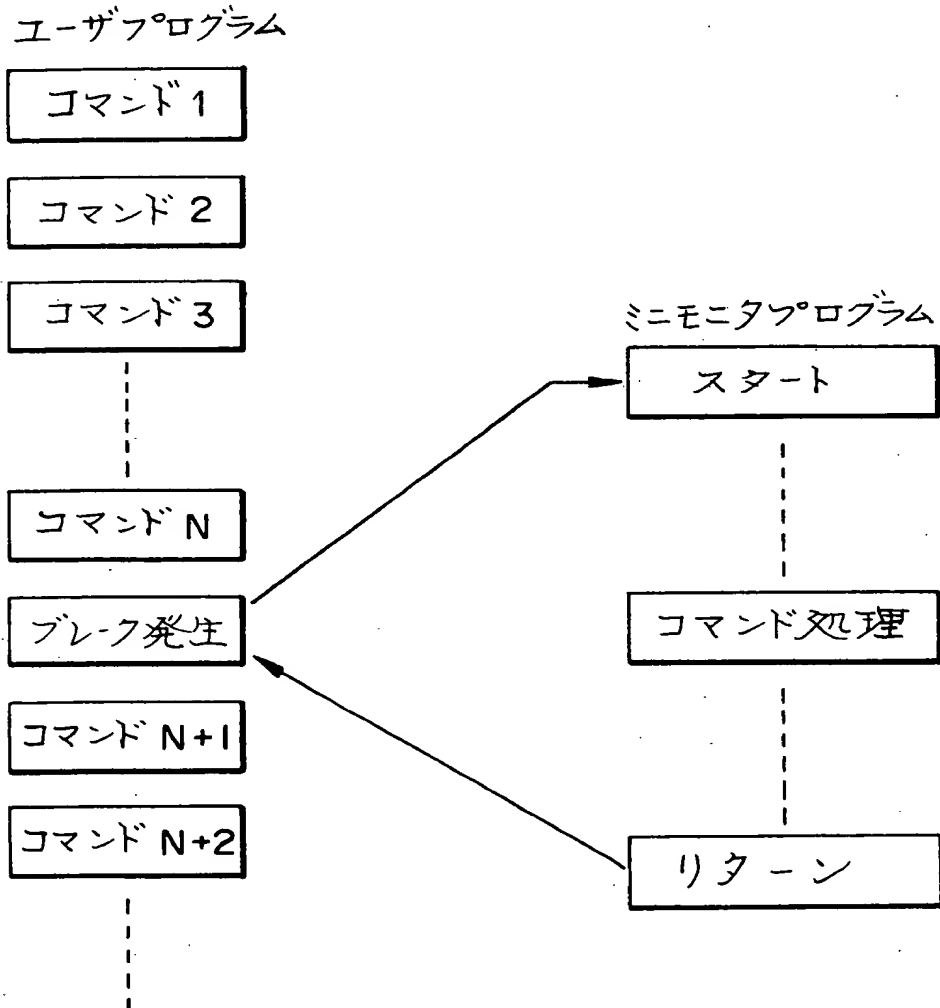


FIG. 13



14/17

FIG. 14

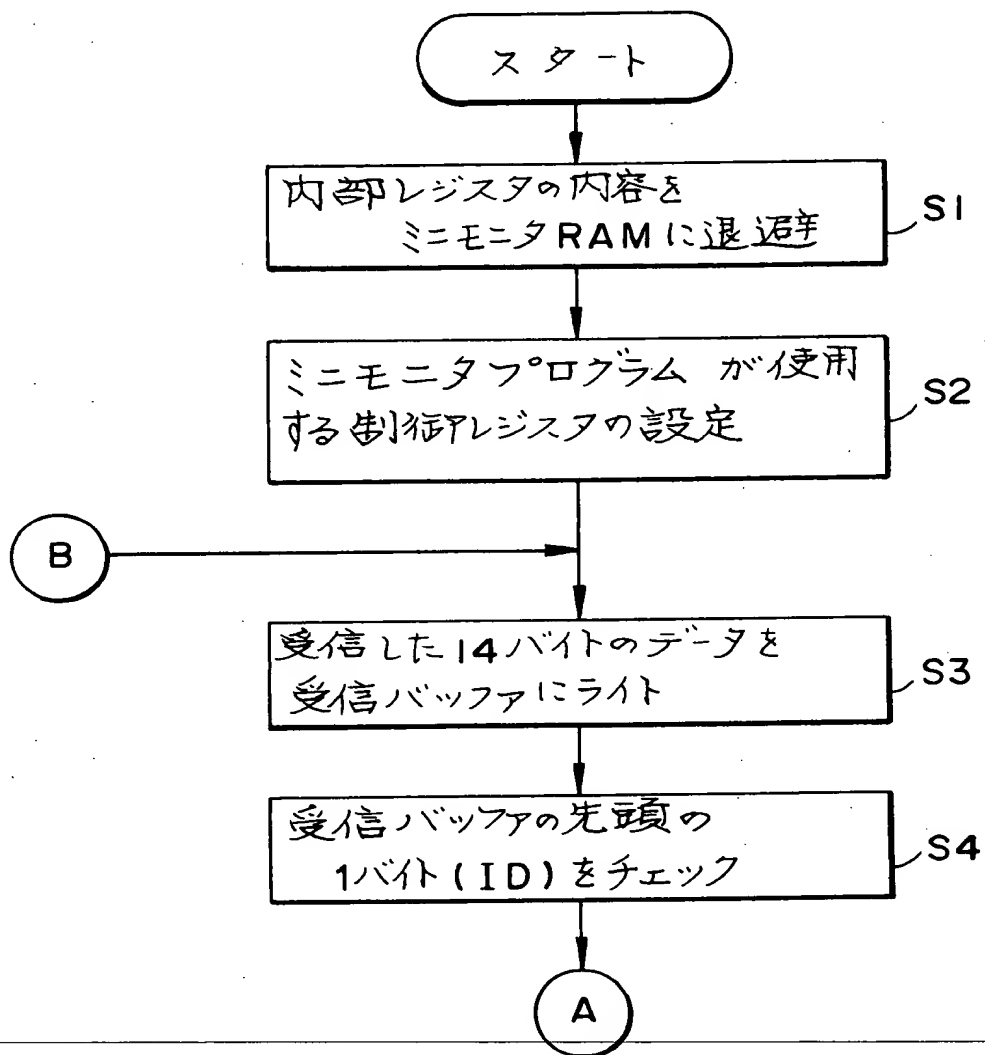
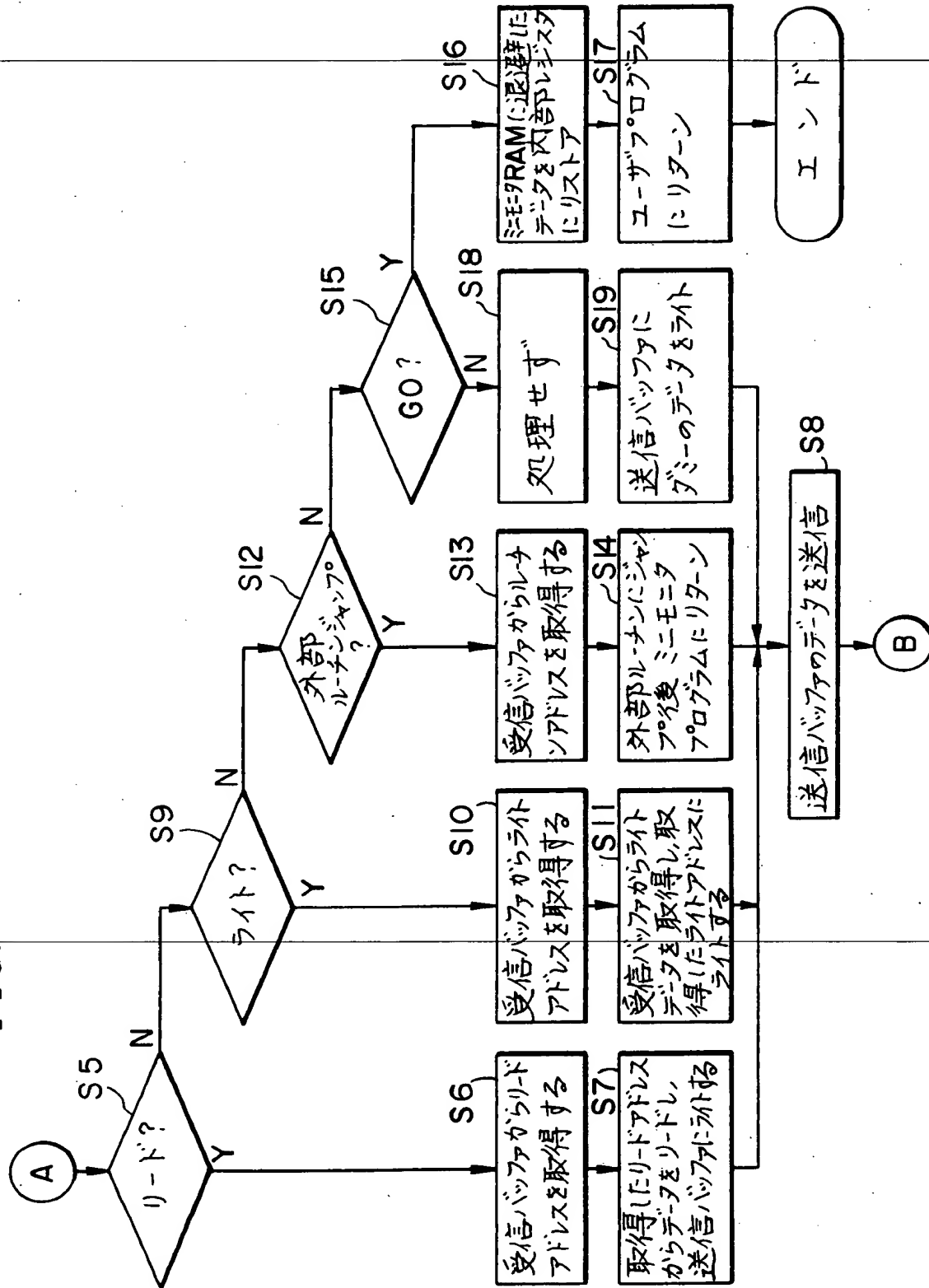


FIG. 15



16 / 17

FIG. 16 A

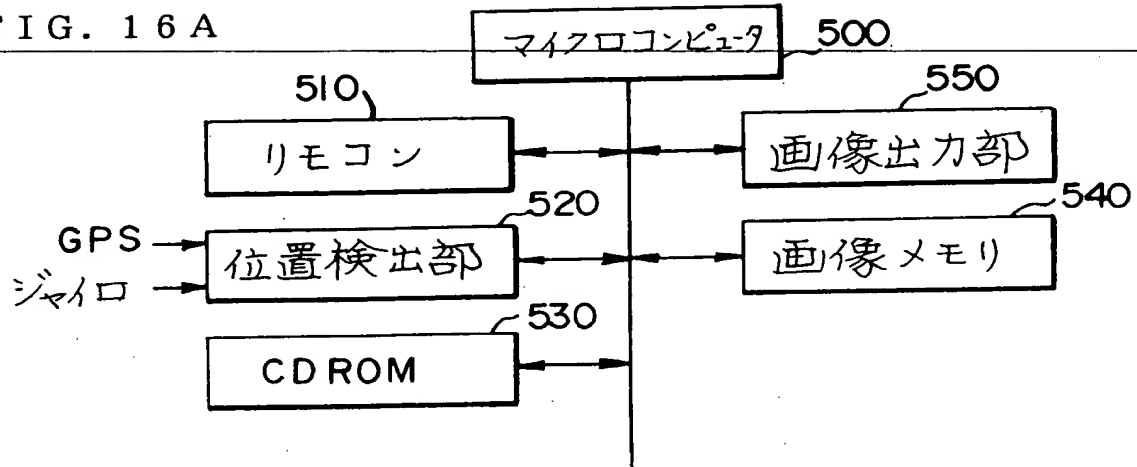


FIG. 16 B

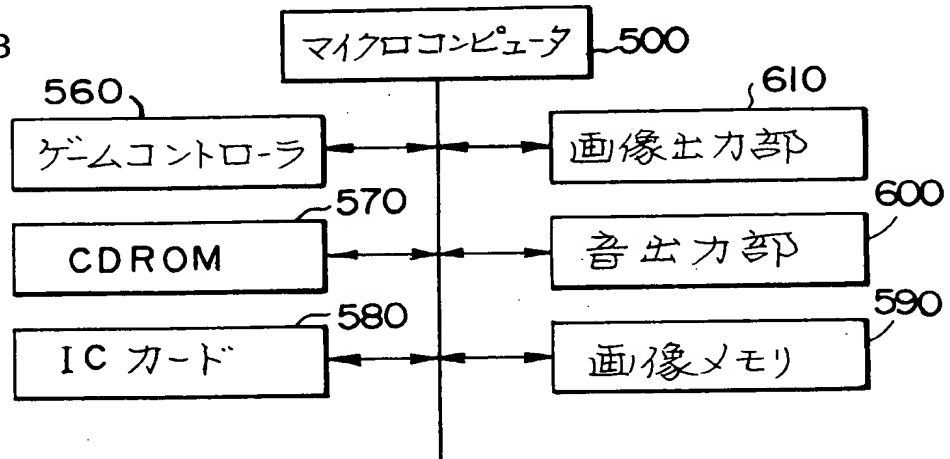
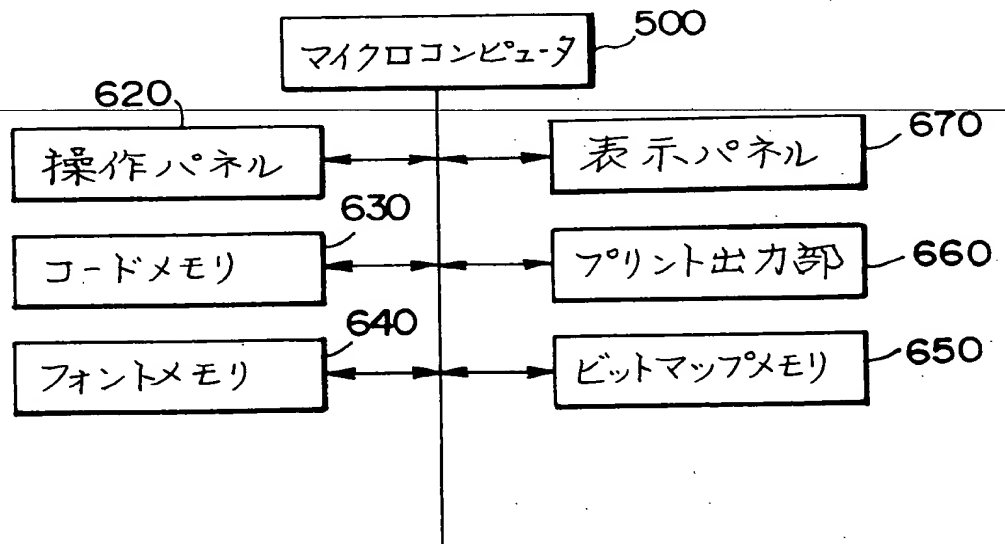


FIG. 16 C



17 / 17

FIG. 17A

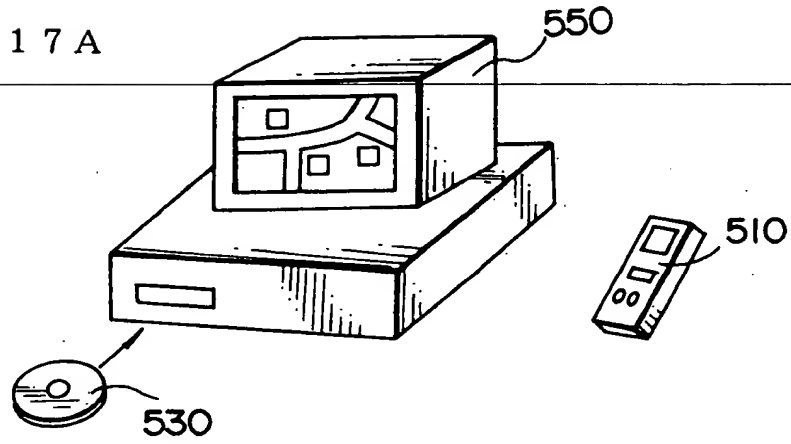


FIG. 17B

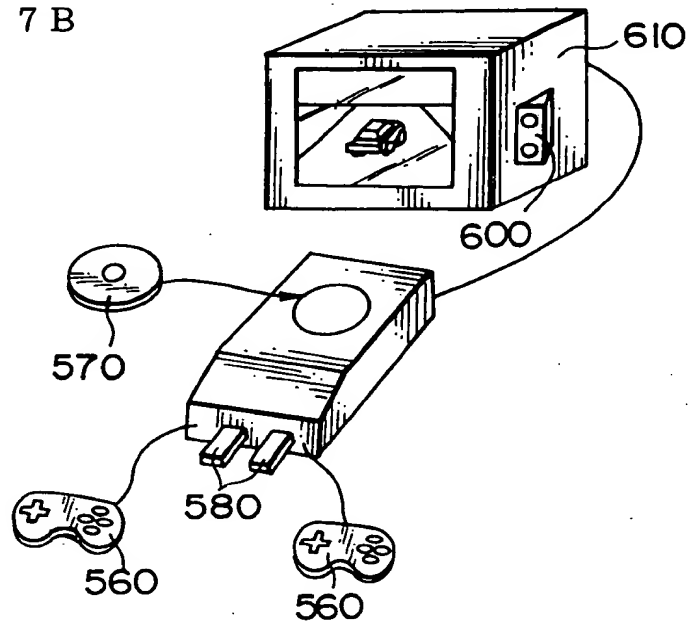
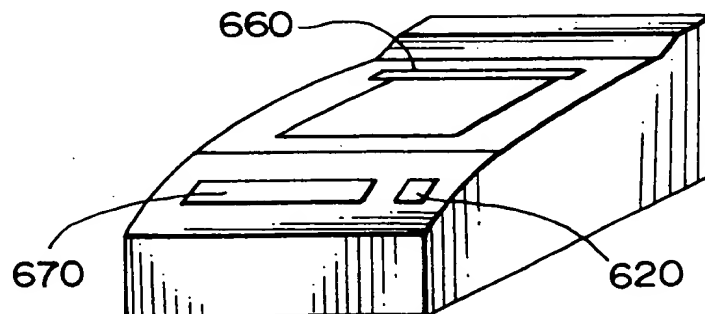


FIG. 17C



09/424670

PCT



国際調査報告

(法 8 条、法施行規則第40、41条)
〔PCT 18 条、PCT 規則43、44〕

出願人又は代理人 の書類記号 E P P C - 1 7 9 1	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220) 及び下記 5 を参照すること。	
国際出願番号 PCT/J P 9 9 / 0 1 6 4 9	国際出願日 (日.月.年) 3 1 . 0 3 . 9 9	優先日 (日.月.年) 3 1 . 0 3 . 9 8
出願人 (氏名又は名称) 土方 陽一		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (PCT 18 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (PCT 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 2A, 2B 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.[°] G06F 11/22
Int. Cl.[°] G06F 11/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.[°] G06F 11/22 - 11/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1998年
日本国公開実用新案公報 1971-1994年
日本国登録実用新案公報 1994-1998年
日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P, 3-20836, A (松下電器産業株式会社), 29. 1 月. 1991 (29. 01. 91) (ファミリーなし)	1 2, 4, 5, 7, 8, 10, 11 3, 6, 9, 12, 13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

26. 04. 99

国際調査報告の発送日

18.05.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
伊知地 和之



5 B 9291

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P, 2-82377, A (日本電気株式会社), 22. 3月. 1990 (22. 03. 90), 第4頁右上欄第12行目乃至右下欄第4行目, 第1図 (ファミリーなし)	1 2, 4, 5, 7, 8, 10, 11 3, 6, 9, 12, 13
X Y A	J P, 63-4349, A (日立マイクロコンピュータエンジニアリング株式会社, 株式会社日立製作所), 9. 1月. 1988 (09. 01. 88) (ファミリーなし)	1, 7 2, 4, 5, 8, 10, 11 3, 6, 9, 12, 13
Y	J P, 9-34864, A (シャープ株式会社), 7. 2月. 1997 (07. 02. 97), 段落【0013】 (ファミリーなし)	2, 5, 11
Y A	J P, 3-81676, A (株式会社リコー), 8. 4月. 1991 (08. 04. 91) (ファミリーなし)	2, 4, 5 6
Y A	J P, 2-110792, A (三洋電機株式会社), 23. 4月. 1990 (23. 04. 90) (ファミリーなし)	4, 5 6
Y A	J P, 59-146352, A (日本電気株式会社), 22. 8月. 1984 (22. 08. 84) & US, 4670838, A	1, 4, 5 3, 6, 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01649

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁶ G06F11/22, G06F11/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁶ G06F11/22-11/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1998	Toroku Jitsuyo Shinan Koho	1994-1998
Kokai Jitsuyo Shinan Koho	1971-1994	Jitsuyo Shinan Toroku Koho	1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP, 3-20836, A (Matsushita Electric Industrial Co., Ltd.), 29 January, 1991 (29. 01. 91) (Family: none)	1 2, 4, 5, 7, 8, 10, 11 3, 6, 9, 12, 13
X Y A	JP, 2-82377, A (NEC Corp.), 22 March, 1990 (22. 03. 90), Page 4, upper right column, line 12 to lower right column, line 4 ; Fig. 1 (Family: none)	1 2, 4, 5, 7, 8, 10, 11 3, 6, 9, 12, 13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
26 April, 1999 (26. 04. 99)

Date of mailing of the international search report
18 May, 1999 (18. 05. 99)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01649

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 63-4349, A (Hitachi Micro Computer Engineering K.K., Hitachi, Ltd.), 9 January, 1988 (09. 01. 88) (Family: none)	1, 7 2, 4, 5, 8,
A Y Y A Y A Y A	JP, 9-34864, A (Sharp Corp.), 7 February, 1997 (07. 02. 97), Par. No. [0013] (Family: none) JP, 3-81676, A (Ricoh Co., Ltd.), 8 April, 1991 (08. 04. 91) (Family: none) JP, 2-110792, A (Sanyo Electric Co., Ltd.), 23 April, 1990 (23. 04. 90) (Family: none) JP, 59-146352, A (NEC Corp.), 22 August, 1984 (22. 08. 84) & US, 4670838, A	10, 11 3, 6, 9, 12, 13 - 2, 5, 11 2, 4, 5 6 4, 5 6 1, 4, 5 3, 6, 13